

Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное
учреждение высшего образования
«Сибирский государственный автомобильно-дорожный университет»
(СибАДИ)

Кафедра «Автоматизация производственных процессов и
электротехника»

ЦИФРОВЫЕ УСТРОЙСТВА МИКРОПРОЦЕССОРНЫХ СИСТЕМ

Методические указания

Составитель А.А.Руппель

Омск
СибАДИ
2018

УДК...
ББК ...

Рецензент: канд. физ.-мат. наук, профессор, зав. кафедрой «Информационные технологии» Соловьев А.С.

Работа утверждена редакционно-издательским советом СибАДИ в качестве методических указаний.

Цифровые устройства микропроцессорных систем : методические указания / сост. : А.А. Руппель, – Омск : СибАДИ, 2018. – 30 с.

Приведены основные теоретические положения по цифровым элементам автоматики и микропроцессорных систем автоматического управления, описывается методика проведения лабораторных работ. Предназначены для бакалавров и магистров, изучающих по направлениям подготовки «Автоматизация технологических процессов и производств» и «Управление техническими системами» следующие дисциплины: «Микропроцессорные системы управления», «Основы телемеханики», «Схемотехника автоматизированных систем», «Компьютерные технологии автоматизации и управления», «Схемотехника систем и средств управления техническими системами», «Телемеханические системы и средства», «Цифровые микропроцессорные системы управления» и выполняющих лабораторные работы, а также могут быть полезны при курсовом и дипломном проектировании.

Ил. 17. Табл. 11. Библиогр.: 4 назв.

УДК...
ББК ...

ISBN

© ФГБОУ ВО «СибАДИ», 2018

ЛАБОРАТОРНАЯ РАБОТА №1

Синтез логических систем на элементах комбинационного типа

Цель работы: ознакомление с системами логических элементов современной ЭВМ. Исследование возможностей реализации сложных логических элементов, выполненных на интегральных схемах с потенциальным способом представления информации.

В процессе выполнения работы студенты знакомятся с формальными методами минимизации функций алгебры логики с помощью карт Карно, способами реализации функций алгебры логики в различных системах логических элементов, практически реализуют и исследуют работу синтезируемой схемы на элементах **И-НЕ**.

Элементы алгебры логики

Переменные x_1, x_2, x, x_n называются двоичными, если они могут принимать только два значения «0» или «1». Функция от двоичных переменных $f(x_1, x_2, \dots, x_n)$ называется булевой, если она так же, как и ее аргумент принимает только два значения «0» или «1». Связи между входными и выходными сигналами в комбинационных схемах аналитически описываются булевыми функциями.

Примерами логических переменных являются высказывания: $x_1 =$ Земля плоская, $x_2 =$ Автомобиль имеет двигатель. На основании этих высказываний можно записать $x_1 = 0$; $x_2 = 1$, так как высказывание A ложно, а высказывание B истинно.

Высказывания могут быть простыми и сложными: простые содержат одно законченное утверждение, сложные образуются из двух или большего числа простых высказываний, связанных между собой некоторыми логическими связями.

Формализация и преобразование связей между логическими переменными осуществляются в соответствии с правилами алгебры логики, называемой алгеброй Буля (в честь ее автора – английского математика Джорджа Буля).

Две логические переменные A и B , принимающие значения «0» или «1», могут образовывать логические функции. Из 16 возможных функций двух переменных наибольший практический интерес представляют функции отрицания, логического умножения и логического сложения.

Логическое отрицание **НЕ** (инверсия) переменной A есть логическая функция X , которая истинна только тогда, когда ложно A , и наоборот.

В алгебре логики любые функции удобно изображать в виде таблицы соответствия всех возможных комбинаций входных логических переменных и выходной логической функции, называемой таблицей истинности. Для функции логического отрицания **НЕ** эта таблица имеет вид:

A	0	1
X	1	0

где A – входная переменная,
 X – выходная функция.

Функцию **НЕ** в символах алгебры логики записывают следующим образом:

$$x = \bar{A}.$$

Графически эта функция обозначается кружком на входе или выходе логического символа (рис. 1.1).



Рис. 1.1. Графическое изображение функции **НЕ**

Пример реализации функции **НЕ** и ее временные диаграммы представлены на рис.1.2.

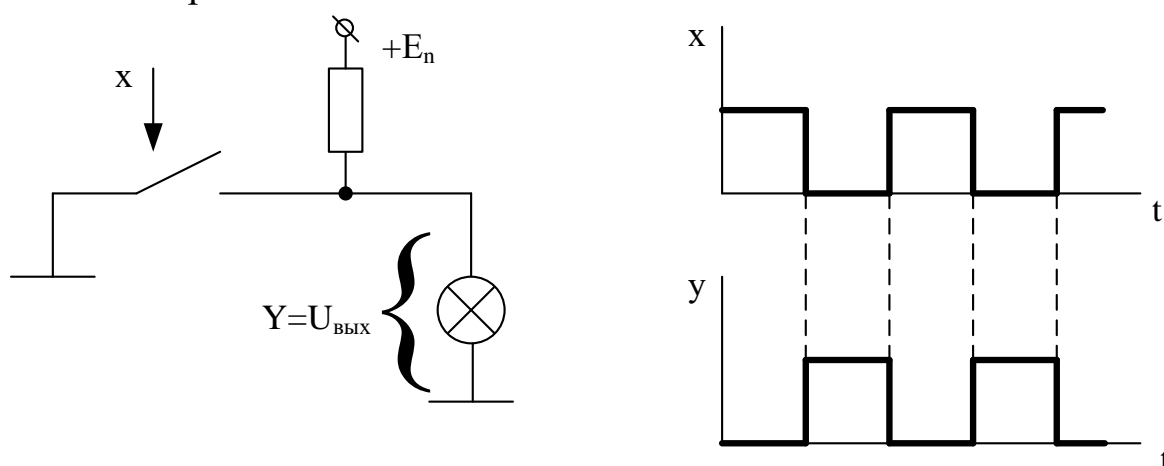


Рис. 1.2. Пример реализации логической функции **НЕ** и ее временные диаграммы

Логическое умножение **И** (конъюнкция) двух переменных A и B есть логическая функция X , которая истинная только тогда, когда одновременно истинны входные переменные. Для функции логического умножения таблица истинности имеет вид:

A	0	0	1	1
B	0	1	0	1
X	0	0	0	1

В алгебре логики логическое умножение **И** называют конъюнкцией и записывают в виде $X = A \cdot B$ или $X = A \wedge B$.

Графически функция **И** обозначается в виде прямоугольника, внутри которого ставится символ $\&$ (рис. 1.3).



Рис. 1.3. Графическое изображение функции **И**

На рис. 1.4 показан пример реализации логической функции **И** и диаграмма входных и выходных сигналов.

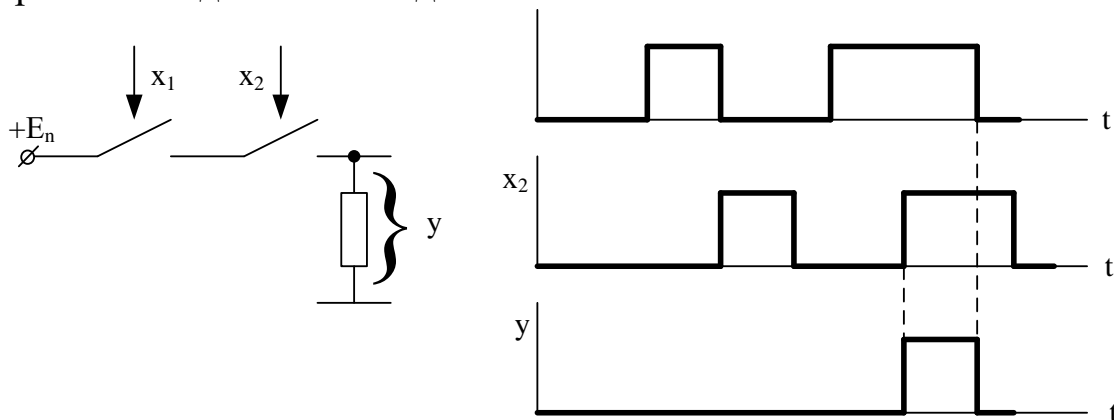


Рис. 1.4. Пример реализации логической функции **И** и диаграмма входных и выходных сигналов

Логическая сумма **ИЛИ** (дизъюнкция) переменных A и B есть логическая функция X , которая истинна, когда хотя бы одна из входных функций истинна. Для логической суммы таблица истинности имеет вид:

$$X = A + B = A \vee B.$$

A	0	0	1	1
B	0	1	0	1
X	0	1	1	1

Пример реализации функции логической суммы двух переменных A , B и диаграммы входных и выходных сигналов представлен на рис. 1.5.

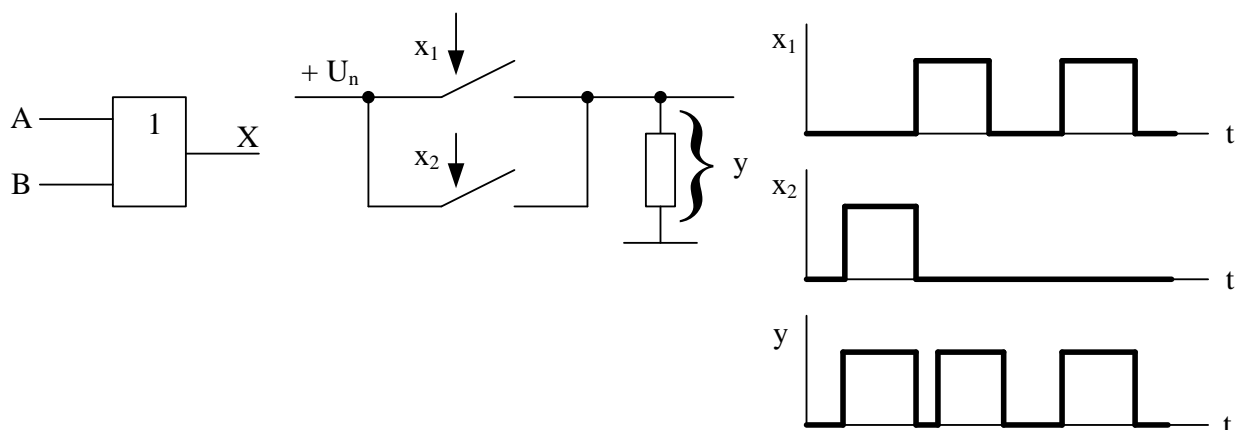


Рис. 1.5. Пример реализации функции логической суммы двух переменных A и B

Три рассмотренных функции позволяют реализовать любую логическую зависимость.

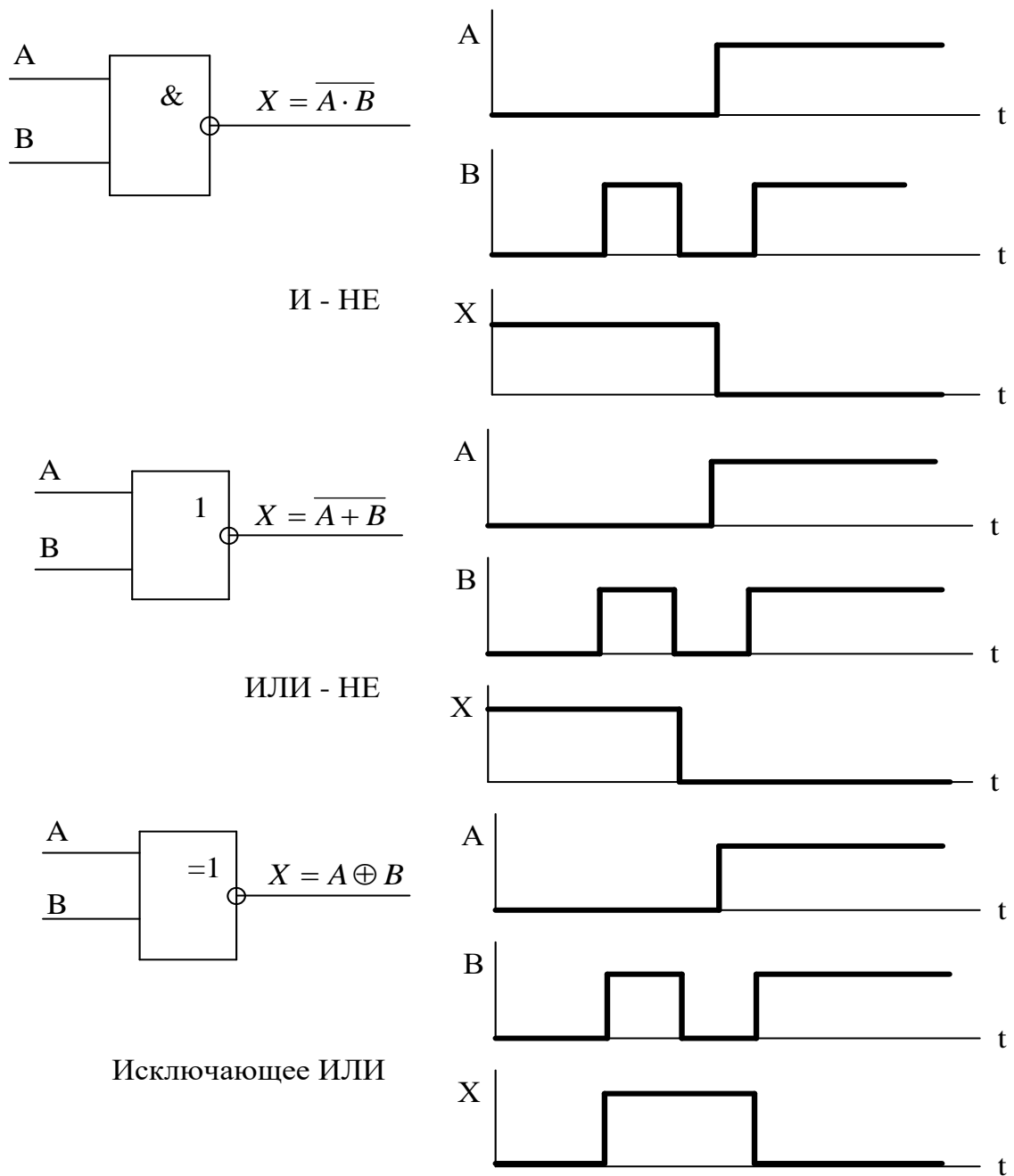


Рис. 1.6. Графическое изображение и временные диаграммы функций **ИЛИ-НЕ**, **И-НЕ**, **исключающее ИЛИ**

Таблица истинности перечисленных функций соответственно имеет вид:

A	0	0	1	1
B	0	1	0	1
X=ИЛИ-НЕ	1	0	0	0

A	0	0	1	1
B	0	1	0	1
X=И-НЕ	1	1	1	0

A	0	0	1	1
B	0	1	0	1
Исключающее ИЛИ	0	1	1	0

Основные теоремы алгебры логики:

1. $x \vee 0 = x$.
2. $x \vee 1 = 1$.
3. $x \vee x \vee x \vee \dots \vee x = x$.
4. $x \vee \bar{x} = 1$.
5. $x \cdot 0 = 0$.
6. $x \cdot 1 = x$.
7. $x \cdot x \cdot x \cdot \dots \cdot x = x$.
8. $x \cdot \bar{x} = 0$.
9. $\bar{\bar{x}} = x$.

Теоремы для двух переменных и более:

10. а) $x \vee y = y \vee x$;
 б) $x \cdot y = y \cdot x$ (переместительный закон).
11. а) $x \vee y \vee z = x \vee (y \vee z) = (x \vee y) \vee z$ (сочетательный закон);
 б) $x \cdot y \cdot z = x (y \cdot z) = (x \cdot y) z$.
12. $(y \vee z) x = x \cdot y \vee x \cdot z$ (распределительный закон).
13. $\overline{x \vee y} = \bar{x} \cdot \bar{y}$; $\overline{x \vee y \vee z} = \bar{x} \cdot \bar{y} \cdot \bar{z}$ (Теоремы де-Моргана)
 $\overline{x \cdot y} = \bar{x} \vee \bar{y}$; $\overline{x \cdot y \cdot z} = \bar{x} \vee \bar{y} \vee \bar{z}$.

Можно показать, что с помощью электронных логических элементов (ЛЭ) «И-НЕ» можно получить любую функцию алгебры логики. Функции инверсии (НЕ), дизъюнкции (ИЛИ), конъюнкции (И) получают, используя законы и теоремы алгебры логики:

$$\text{НЕ: } x = x \cdot x;$$

$$\text{ИЛИ: } x \vee y = \overline{(\bar{x} \cdot \bar{x}) \cdot (\bar{y} \cdot \bar{y})} = \overline{\bar{y} \cdot \bar{x}} = x \vee y;$$

$$\text{И: } x \cdot y = \overline{\overline{x \cdot y}} = \overline{\bar{x} \vee \bar{y}} = x \cdot y.$$

На рис. 1.7 показана реализация логических функций НЕ, И, ИЛИ с помощью логических элементов И-НЕ.

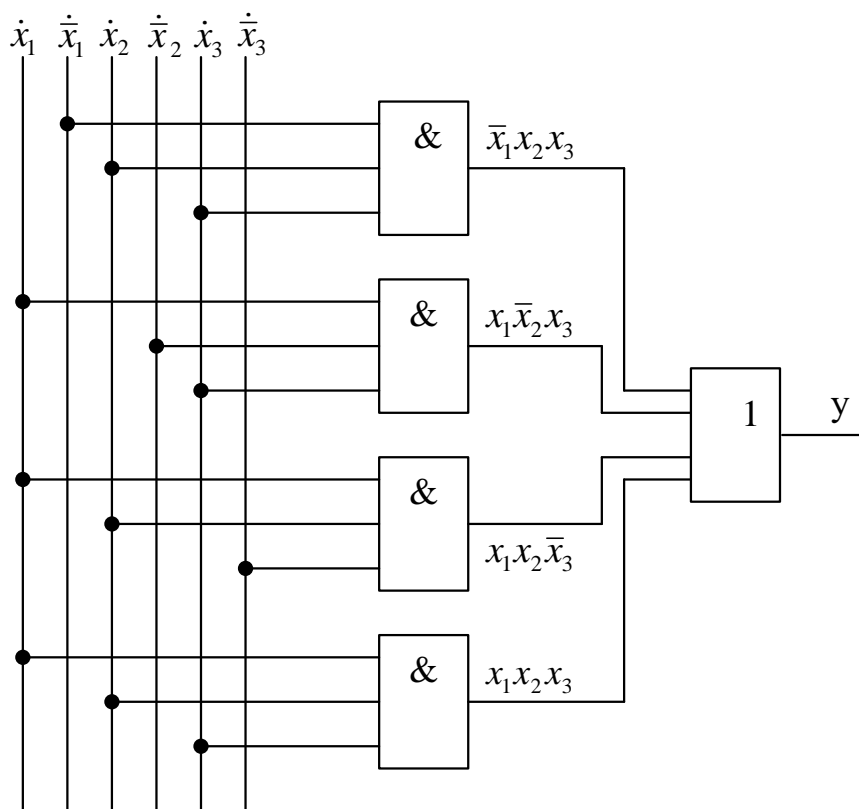


Рис. 1.8. Пример реализации СДНФ

Минимизация булевых функций. Основная задача минимизации состоит в получении такой формы, которой соответствует логическая функция с минимальным числом элементов. Существует три основных способа минимизации – эвристический, использующий теоремы алгебры логики, с помощью карт Карно и с помощью ЭВМ.

Описание лабораторного стенда

Лабораторный стенд УМ-11 предназначен для изучения методов построения логических схем на потенциальных элементах интегрального комплекса.

Состав наборного поля

1. Логические элементы типа **И-НЕ**:
 двухвходовые 11-14, 20-23 (8 шт.);
 трехвходовые 17-19, 26-28 (6 шт.);
 четырехвходовые 15, 16, 24, 26, 29, 30 (6 шт.);
 восьмивходовые 31 (1 шт.).
2. Логические элементы типа **И-ИЛИ-НЕ**:
2И-2И-ИЛИ-НЕ – 1, 2, 5, 6, 7, 10 (6 шт.).
3. Логические элементы **И-ИЛИ** – 3, 4, 8, 9 (4 шт.).
4. Триггеры **JK** – типа (4 шт.); **D** – типа (8 шт.)

5. Тумблерный регистр на 8 разрядов для задания логических уровней «1» и «0» (1 шт.).

6. Ламповые индикаторы (8 шт.).

7. Генератор синхроимпульсов частот 1 мГц, 500 кГц – СИ (1 шт.). Генератор вырабатывает две серии синхроимпульсов СИ1 – основная; СИ2 – задержанная на полпериода относительно СИ1.

8. Генератор одиночных импульсов (ГОИ), синхронизируемый генератором синхроимпульсов (1 шт.). Генератор обеспечивает формирование одиночного импульса при нажатии кнопки ПУСК.

9. Элемент задержки, обеспечивающий задержку подаваемого на выход сигнала дискретно от 0,1 до 1,0 мкс с интервалом 0,1 мкс (1 шт.).

10. Гнезда лицевой панели, представляющие собой входы и выходы логических элементов, входы генератора синхроимпульсов, ГОИ и элемент задержки.

Технические данные

1. Для всех логических элементов наборного поля уровень «1» представлен потенциалом от 2,4 до 5 В, уровень «0» от 0 до 0,4 В. Наличие незадействованного входа на элементе **И-НЕ** равносильно подаче на него «1».

2. У логических элементов **И-ИЛИ-НЕ**, **2И-2И-ИЛИ-НЕ** (1, 2, 5, 6, 7, 10) неиспользуемые входы необходимо заземлить.

3. Тумблерный восьмизарядный регистр, предназначен для задания уровней «1» и «0». Распределение потенциала на выходных гнездах; тумблер включен вверх: на верхнем гнезде пары +2, 4В, на нижнем +0, 4В;

тумблер включен вниз: на верхнем гнезде пары +0, 4В, на нижнем +2, 4В.

4. Восемь элементов индикации допускают подключения к выходу любого элемента с помощью коммутационных шнуров. Индикатор загорается от сигнала «1».

Порядок выполнения работы

1. Ознакомиться с описанием лабораторной работы, с макетом лабораторного стенда.

2. Включить осциллограф и стенд (тумблеры СЕТЬ).

3. Соединить:

- гнездо осциллографа ⊥ с гнездом ⊥ стенда;

- вход синхронизации осциллографа с гнездом СИНХР стенда;

- вход сигнала осциллографа с гнездом ВХОД стенда;

- гнездо СИ1 положительной полярности с гнездом СИНХР (оба гнезда на стенде).

4. Переключатель СИНХРОНИЗАЦИЯ осциллографа поставить в режим ЖДУЩАЯ. Установить устойчивую синхронизацию осциллографа.

5. Исследовать схему И-НЕ:

а) выполняющую роль простого инвертора, для этого подать на два входа одной схемы И-НЕ (11-14) сигнал СИ2 положительной полярности. Зарисовать осциллограммы на входах и выходах этой схемы;

б) выполняющую роль логического элемента И-НЕ на два входа, для этого соединить гнездо СИ2 с гнездом ВХОД задержки, переключатель задержки поставить в положение 0,1 мкс, подать на входы одной схемы И-НЕ сигналы: один с гнезда СИ2 положительной полярности, другой – с ВЫХ задержки. Зарисовать осциллограммы на входах и выходе схемы.

6. По одному из заданных преподавателем вариантов (см. табл. 1.2) провести синтез и собрать на макете комбинационную схему, предварительно ознакомившись с примером синтеза (см. ниже). Проверить работу собранной схемы по табл. 1.2.

Таблица 1.2

Таблица истинности синтезируемой схемы

X ₁	X ₂	X ₃	Варианты										
			Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇	Y ₈	Y ₉	Y ₁₀	Y ₁₁
0	0	0	0	1	0	0	1	1	0	1	1	0	0
0	0	1	1	1	0	0	1	1	0	0	0	1	0
0	1	0	0	1	0	1	0	1	0	0	1	0	0
0	1	1	1	0	0	1	0	1	1	0	0	1	1
1	0	0	0	1	0	1	0	0	1	1	1	1	0
1	0	1	1	0	1	1	0	0	1	1	1	0	1
1	1	0	0	1	1	0	1	0	1	1	1	0	1
1	1	1	1	0	1	0	1	1	0	1	0	1	1

Пример синтеза комбинационной схемы

1. По заданной таблице истинности написать логическое выражение в СДНФ.

2. Провести минимизацию логического выражения, используя эвристический метод и карты Карно.

3. По полученному выражению нарисовать схему соединения логических элементов наборного поля установки.

4. С помощью коммутационных шнуров собрать схему на пульте и проверить ее работоспособность. Значение аргументов набирается тумблерным регистром. Значение истинности функции контролируется с помощью индикаторной лампочки.

Рассмотрим вариант Y_{11} (табл. 1.2), в СДНФ функции 11 будет выражен в следующем виде:

$$y = \bar{x}_1 \cdot x_2 \cdot x_3 \vee x_1 \cdot \bar{x}_2 \cdot x_3 \vee x_1 \cdot x_2 \cdot \bar{x}_3 \vee x_1 \cdot x_2 \cdot x_3. \quad (1.2)$$

После минимизации выражения 1.2 с использованием основных теорем алгебры логики получим:

$$\begin{aligned} y &= \bar{x}_1 \cdot x_2 \cdot x_3 \vee x_1 \cdot x_2 \cdot \bar{x}_3 \vee x_1 \cdot x_2 \cdot \bar{x}_3 \vee x_1 \cdot x_2 \cdot x_3 \vee x_1 \cdot x_2 \cdot x_3 \vee x_1 \cdot x_2 \cdot x_3 = \\ &= x_2 x_3 (\bar{x}_1 \vee x_1) \vee x_1 x_3 (\bar{x}_2 \vee x_2) \vee x_1 x_2 (\bar{x}_3 \vee x_3) = x_1 x_2 \vee x_1 x_3 \vee x_2 x_3. \end{aligned} \quad (1.3)$$

Приведем минимизацию с помощью карт Карно.

Таблица 1.3

$x_1 x_2$	x_3	
	0	1
00	00	01
01	02	13
11	16	17
10	04	15

В данном случае есть три прямоугольника, целиком состоящие из «1»: 6-7, 3-7, 7-5. На 6-7 $x_1 = x_2 = 1$, $x_3 \neq$ поэтому элементарные произведения имеют вид $x_1 \cdot x_2$. На 3-7 имеют вид $x_2 \cdot x_3$. На 7-5 имеют вид $x_1 \cdot x_3$. Таким образом, $y = x_1 \cdot x_2 \vee x_1 \cdot x_3 \vee x_2 \cdot x_3$. Здесь происходит понижение порядка, прямоугольники 2×1 дают элементарные произведения из двух сомножителей, а не из трех, как для трех переменных.

На наборном поле лабораторного стенда УМ-11 схема, реализующая выражение (1.3), изображена на рис. 1.9.

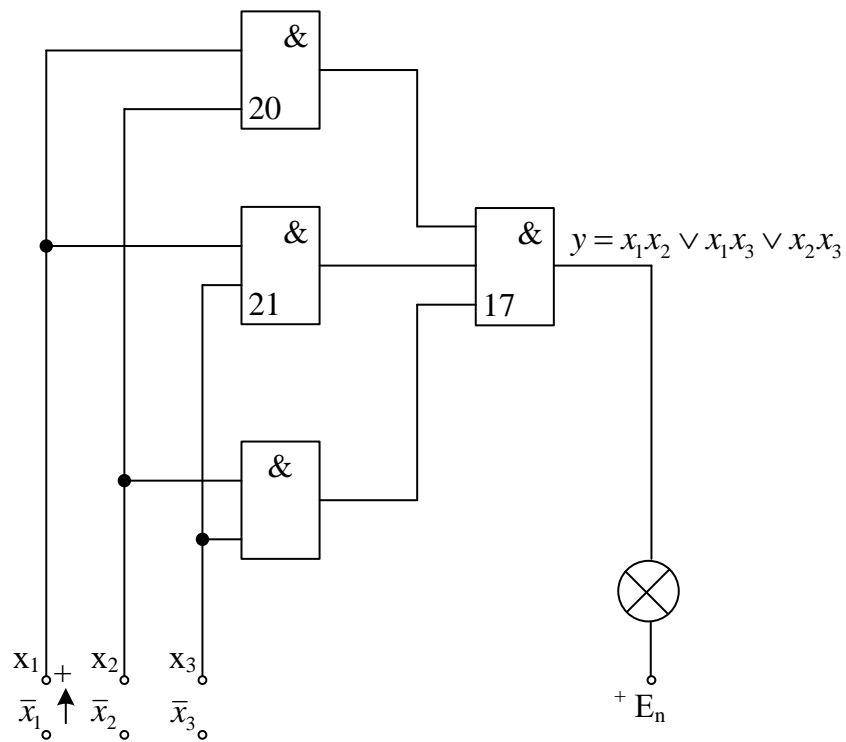


Рис. 1.9. Синтезированная комбинационная схема, реализующая выражение 1.3

Содержание отчета

1. Схемы исследуемых устройств.
2. Осциллограммы.
3. Материалы по минимизации заданной логической функции.
4. Синтезированная схема.
5. Результаты испытаний синтезированной схемы в виде таблицы.

ЛАБОРАТОРНАЯ РАБОТА № 2

Триггеры

Цель работы: изучение и исследование основных структур триггерных устройств на логических элементах **И-НЕ** и **И-ИЛИ-НЕ** с потенциальным представлением информации.

1. Краткие сведения из теории

Триггер является одним из распространенных элементов автоматики и представляет собой устройство с двумя устойчивыми состояниями.

По уровню входного сигнала триггеры разделяются на триггеры с прямыми входами (запись информации производится уровнем «1») и с инверсными входами (запись производится уровнем «0»), в последнем случае вход отмечается знаком инверсии.

Кроме того, триггеры бывают одноктактными и двухтактными. В одноктактных триггерах запись производится по переднему фронту сигнала записи, а в двухтактных – по заднему, то есть в момент окончания действия сигнала записи.

Все триггеры в свою очередь делятся на синхронные и асинхронные. В синхронных триггерах информация записывается только при наличии синхросигнала, а в асинхронных - в любой момент времени.

Триггеры **RS** – типа. Триггером **RS** – типа называется логическое устройство с двумя устойчивыми состояниями и двумя информационными входами **R** и **S** (рис. 2.1).

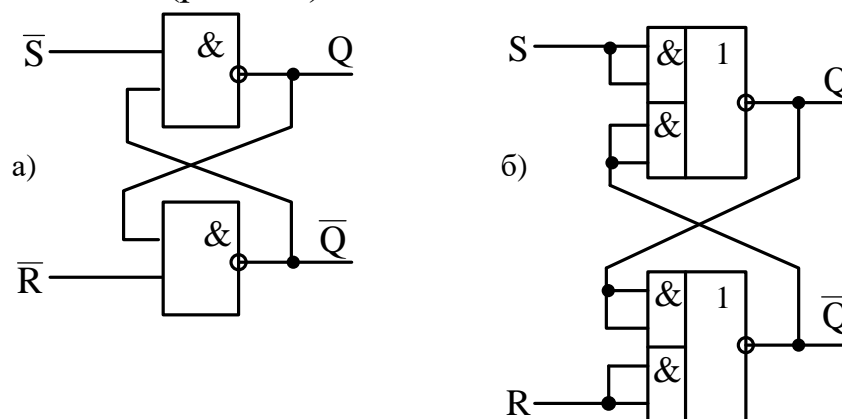


Рис. 2.1. **RS** – триггеры: а) на элементах И-НЕ; б) на элементах И-ИЛИ-НЕ

Таблица истинности для **RS** – триггеров отражает зависимость значения выходных сигналов Q и \bar{Q} в соответствии со значением сигналов на информационных входах.

Различают синхронные и асинхронные **RS** – триггеры. Асинхронный **RS** – триггер наиболее прост по структуре и содержит минимальное число логических элементов. Условное графическое обозначение асинхронного **RS** – триггера приведено на рис. 2.2.

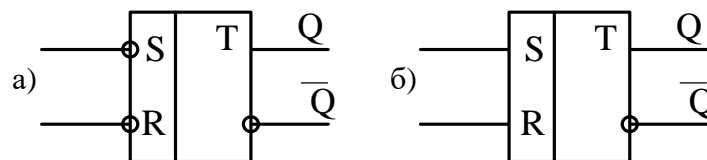


Рис. 2.2. Условное графическое обозначение **RS** – триггеров:
 а) с инверсными информационными входами; б) с прямыми входами

Триггер, изображенный на рис. 2.2 а, устанавливается в состояние «1» ($Q=1$) сигналом $\bar{S}=0$ и в состояние «0» сигналом $\bar{R}=0$. Запрещенной комбинацией является комбинация сигналов $\bar{R}=\bar{S}=0$, т.е. необходимо исключить одновременное появление двух «0» на его входах. Таблица истинности для синхронного **RS** – триггера, изображенного на рис. 2.2 б, имеет вид, показанный на рис. 2.1.

Таблица 2.1

Таблица истинности для **RS** - триггера

Текущие значения	Входы			
	S=0 R=0	S=0 R=1	S=1 R=0	S=1 R=1
Q=0	0	0	1	x
Q=1	1	0	1	x

Из таблицы видно, что для **RS** – триггера с прямыми информационными входами запрещенной комбинацией входных сигналов является состояние $R=S=1$.

В отличие от асинхронного триггера синхронный **RS** – триггер на каждом информационном входе имеет дополнительные схемы совпадения, первые входы которых объединены и на них подаются синхронизирующие сигналы (рис. 2.3).

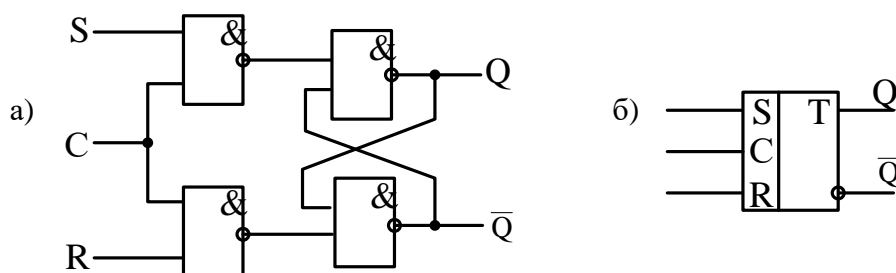


Рис. 2.3. Схема (а) и условное обозначение (б) синхронного **RS** – триггера

Наличие синхронизирующего входа **C** позволяет разрешить или запретить работу **RS** – триггера. Так при наличии сигнала $C = 0$ состояние **RS** – триггера не изменяется, как бы не менялись состояния его информационных входов **S** и **R**. При состоянии входа **C**, соответствующего логической единице, схема работы синхронного **RS** – триггера соответствует работе асинхронного **RS** – триггера.

Триггеры **D** – типа отличаются от **RS** – триггеров наличием одного информационного входа, называемого **D** – входом и одного синхронизирующего входа **C** (рис. 2.4).

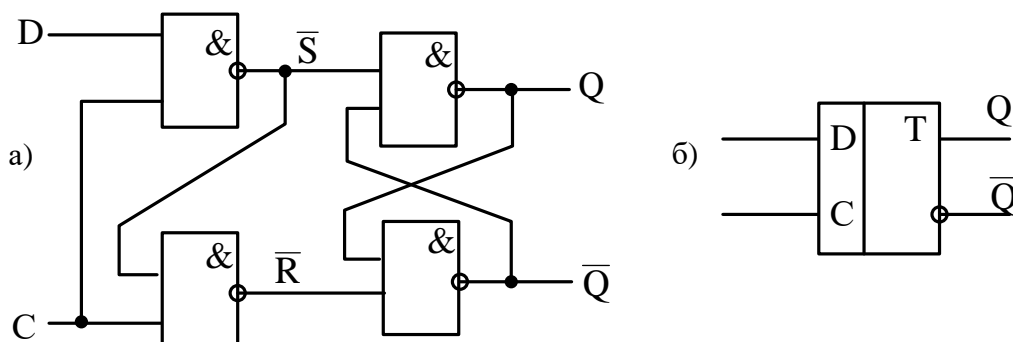


Рис. 2.4. Схема (а) и условное обозначение (б) **D** – триггера

В **D** – триггере информация со входа **D** записывается только в случае подачи на вход **C** логической единицы, при $C = 0$ информация на входе **D** – триггера не меняется, как бы не менялось состояние входа **D**.

Триггером **JK** – типа называется логическое устройство (с двумя устойчивыми состояниями и двумя информационными входами **J** и **K**), которое при **J** и **K** = 1 осуществляет инверсию предыдущего состояния (т.е. при $J = K = 1; Q^{n+1} = \bar{Q}^n$), а в остальных случаях функционирует в соответствии с таблицей истинности синхронного **JK** – триггера, при этом вход **J** эквивалентен **S**, а вход **K** – входу **R** (рис. 2.5).

2. Порядок выполнения работы

1. При работе в статическом режиме для контроля состояния триггера к входам Q и \bar{Q} необходимо подключить индикаторные лампочки (свечение лампочки означает состояние «1»). Для запуска триггера по входам R и S использовать тумблерные регистры, по входу C - формирователь одиночных сигналов положительной полярности. При исследовании D - и JK - триггеров на информационные входы D, J, K подавать сигналы с тумблерных регистров, а на входы C - с формирователя одиночных сигналов положительной полярности.

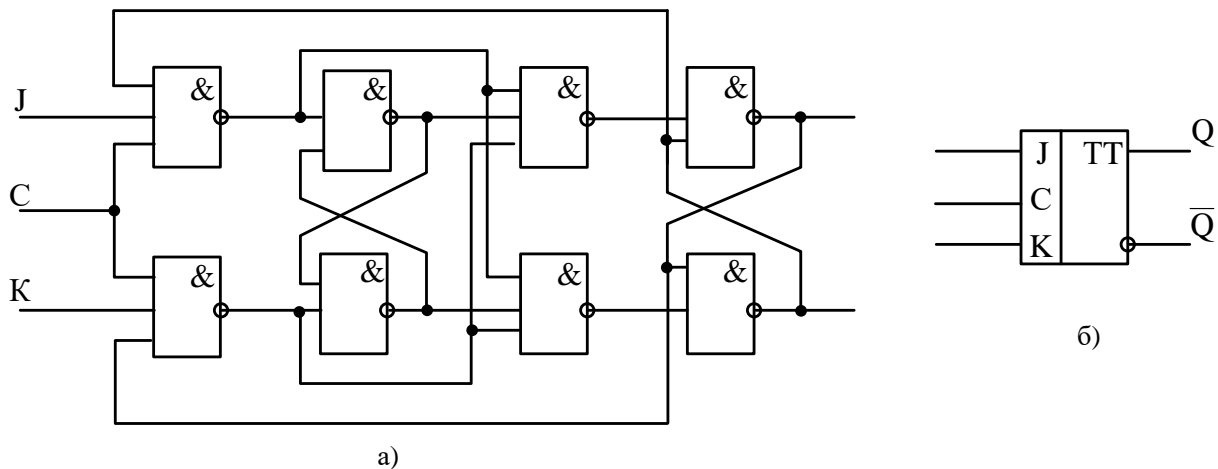


Рис. 2.5. Схема (а) и условное графическое обозначение (б) JK - триггера

2. Для работы в динамическом режиме R и S подавать сигналы с тумблерных регистров. Осциллограммы снимать на выходах Q и \bar{Q} в одном масштабе со всеми входными сигналами. Синхронизацию осциллографа осуществлять сигналами с выхода Q . На вход C подавать сигналы СИ-1 положительной полярности.

3. Собрать асинхронный RS - триггер на элементах И-НЕ. Исследовать в статическом режиме. Составить таблицу истинности.

4. Собрать синхронный RS - триггер на элементах И-НЕ. Исследовать в статическом режиме. Составить таблицу истинности.

5. Собрать синхронный D - триггер. Исследовать в статическом режиме. Составить таблицу истинности.

6. Собрать JK - триггер на элементах И-НЕ. Исследовать в статическом и динамическом режимах. Составить таблицу истинности.

7. Исследовать (по заданию преподавателя) в статическом режиме триггер в интегральном исполнении. Составить таблицу истинности и снять осциллограммы. Сравнить с ранее полученными результатами.

3. Содержание отчета

1. Название, цель работы.
2. Схемы исследуемых триггеров
3. Таблицы истинности для исследуемых триггеров.
4. Осциллограммы.
5. Выводы на работе.

4. Вопросы для защиты

1. Что такое триггер?
2. Каковы основные функциональные типы триггеров?
3. Каковы принципиальные отличия синхронных триггеров от асинхронных?
4. Какова таблица истинности **RS** – триггера?
5. Какова таблица истинности **D** – триггера?
6. Какова таблица истинности **JK** – триггера?
7. Как получить из схемы **JK** – триггера схемы **RS** – триггера?
8. Как получить из схемы **JK** – триггера схему **D** – триггера?

ЛАБОРАТОРНАЯ РАБОТА № 3

Счетчики

Цель работы: изучение принципов построения счетчиков и пересчетных схем, выполненных на интегральных элементах с потенциальным представлением информации.

В процессе выполнения работы изучаются принципы построения суммирующих, вычитающих, реверсивных счетчиков и пересчетных схем с естественным и произвольным порядком счета на основе схем **D** – триггеров и **JK** – триггеров, собираются на стенде различные схемы счетчиков, проверяется их работоспособность в статическом и динамическом режимах, в режиме установки в ноль, заполняются таблицы состояний счетчика, снимаются осциллограммы с выходов триггеров каждого разряда счетчика.

1. Краткие сведения из теории

Одной из наиболее распространенных операций, выполняемой в устройствах автоматики, является подсчет числа сигналов импульсного и потенциального вида. Узел цифровых устройств, предназначенный для подсчета числа входных сигналов, называется счетчиком. Счетчики классифицируются по системе счисления, по реализуемой операции, по организации цепей переноса, по порядку изменения состояний, по способу переключения триггеров и по другим признакам.

К основным параметрам счетчика относятся:

$K_{сч}$ – модуль счета или коэффициент пересчета счетчика;

N – емкость счетчика;

$f_{сч. макс.}$ – максимальная частота поступления входных сигналов;

$t_{уст}$ – время установления счетчиков.

Для счетчиков, срабатывающих по уровню тактового сигнала, $t_{уст}$ характеризует максимальный временной интервал между моментом поступления счетного сигнала и моментом установления кода счетчика. Параметры $f_{сч. макс.}$ и $t_{уст}$ определяют быстродействия счетчика.

Простейший счетчик – триггер со счетным входом, осуществляющий подсчет и хранение результатов подсчета не более двух сигналов. Соединения определенным образом нескольких счетных триггеров, можно получить схему многоразрядного счетчика.

В настоящее время в составе большинства современных серий логических микросхем имеются широко применяемые **D** – и **JK** – триггеры.

При использовании **D** – триггеров в качестве счетных его инверсный выход соединяют со своим входом **D**.

Схемы суммирующего и вычитающего асинхронного счетчика на **D** – триггерах приведены на рис. 3.1.

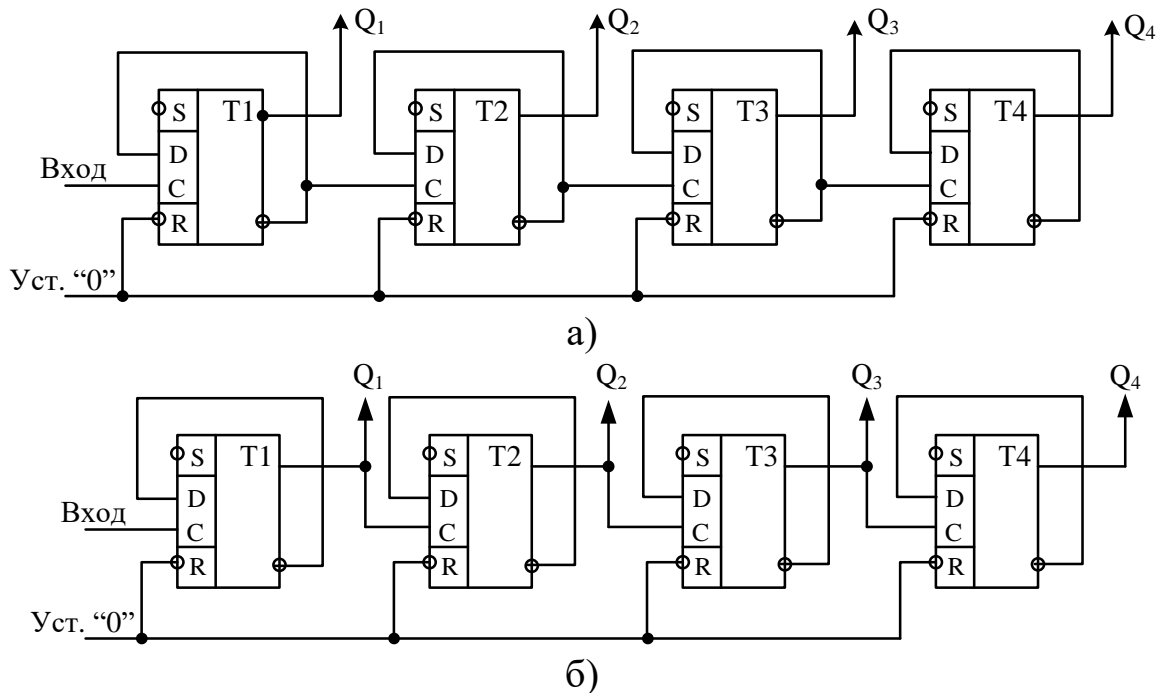


Рис. 3.1. Схема асинхронного суммирующего (а) и вычитающего (б) счетчиков на **D** – триггерах

Реверсивные счетчики подсчитывают число сигналов, как в прямом, так и в обратном направлении, т.е. они могут работать в режиме сложения или вычитания сигналов, поступающих на вход счетчика.

Для построения реверсивных счетчиков необходимо предусмотреть схемы, пропускающие сигналы на вход следующих триггеров либо с инверсного, либо с прямого выходов предыдущего триггера. Схема реверсивного счетчика на **D** – триггерах приведена на рис. 3.2.

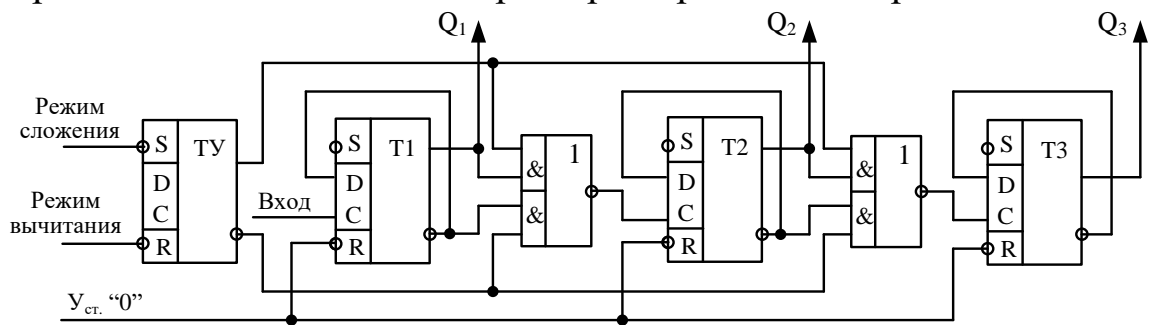


Рис. 3.2. Схема реверсивного счетчика на **D** – триггерах

Счетчики на **JK** – триггерах строятся аналогично счетчикам на **D** – триггерах. Схемы асинхронного суммирующего, вычитающего, реверсивного и синхронного счетчиков приведены на рис. 3.3.

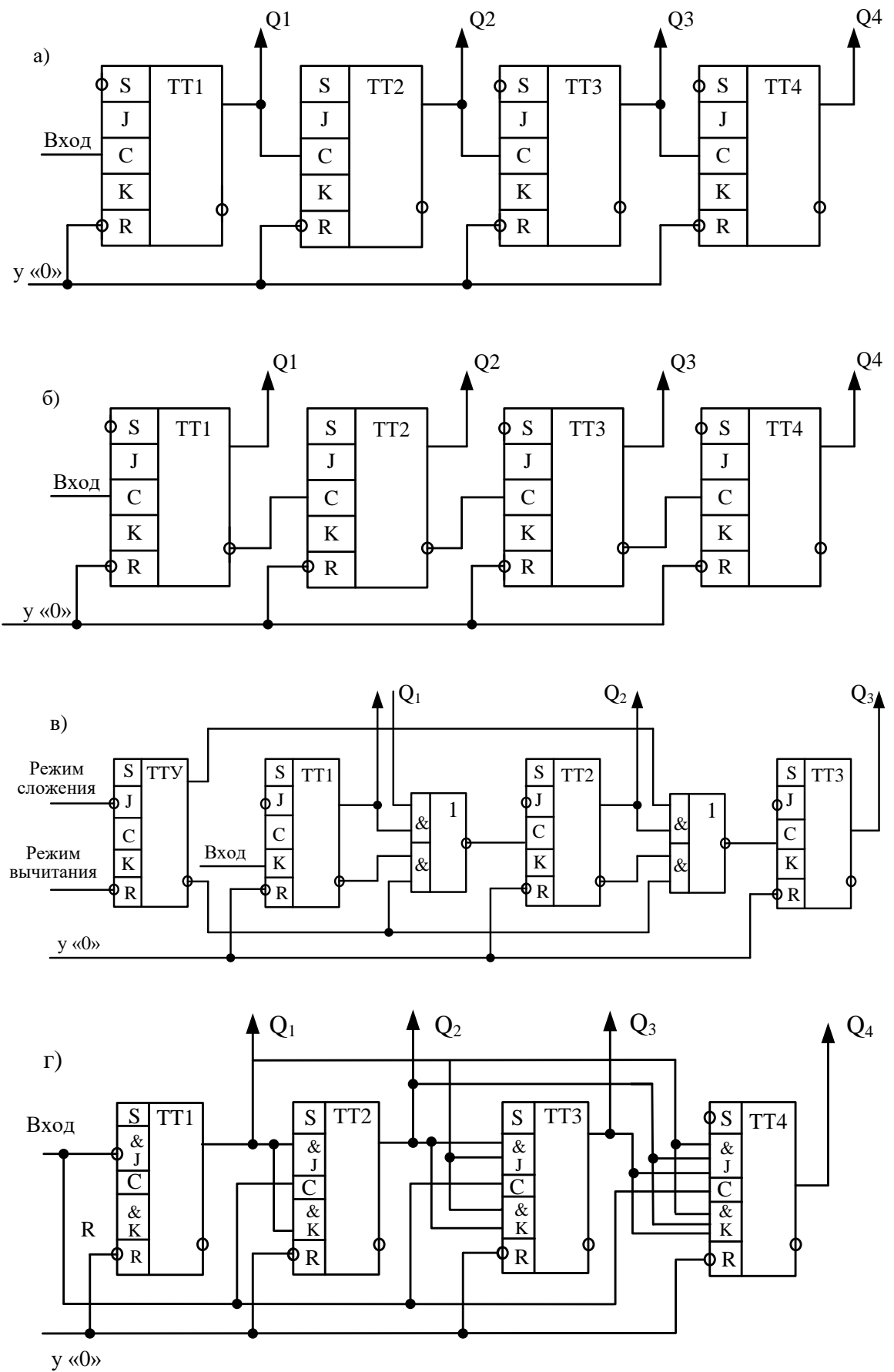


Рис. 3.3. Схема асинхронного суммирующего (а), вычитающего (б), реверсивного (в) и синхронного (г) счетчиков на **JK** – триггерах

Рассмотренные выше счетчики имели коэффициент пересчета, равный 2^n , где n – число разрядов счетчика. Однако на практике возникает необходимость в счетчиках, коэффициент пересчета которых отличен от 2^n . Часто применяют счетчики с $\kappa_{сч} = 3,10$, т.е. счетчики, имеющие соответственно 3,10 устойчивых состояний. Принцип построения таких счетчиков заключается в исключении «лишних» устойчивых состояний у счетчика с $\kappa_{сч} = 2^n$, т.е. в организации схем, запрещающих некоторые состояния. Число запрещенных состояний $m = 2^n - \kappa_{сч}$.

В зависимости от того, какие состояния счетчика выбираются в качестве рабочих, все счетчики с произвольным коэффициентом пересчета можно подразделить на счетчики с естественным и произвольным порядком счета.

Рассмотрим способ построения счетчика с естественным порядком счета. У таких счетчиков уменьшение числа устойчивых состояний достигается сбрасыванием его в нулевое состояние при записи заданного числа сигналов. К счетчику добавляется логическое условие: «Код на счетчике изображает число, равное $\kappa_{сч}$, и в зависимости от результата проверки направляет входной сигнал либо в шину «Установка»), либо на суммирование к записанному коду. Это условие может быть проверено n – входной схемой **И**, связанной с прямыми выходами тех триггеров, которые при записи в счетчике числа $\kappa_{сч}$ должны находиться в состоянии «1», и с инверсными выходами триггеров, которые в этом случае должны находиться в состоянии «0».

Число входов элемента **И** можно сократить, связав его лишь с прямыми входами, так как сочетание единиц в записи кода числа $\kappa_{сч}$ может повториться только в запрещенных кодах, больших $\kappa_{сч}$. На рис. 3.4 приведена схема счетчика с $\kappa_{сч} = 10$ на **D** – триггерах.

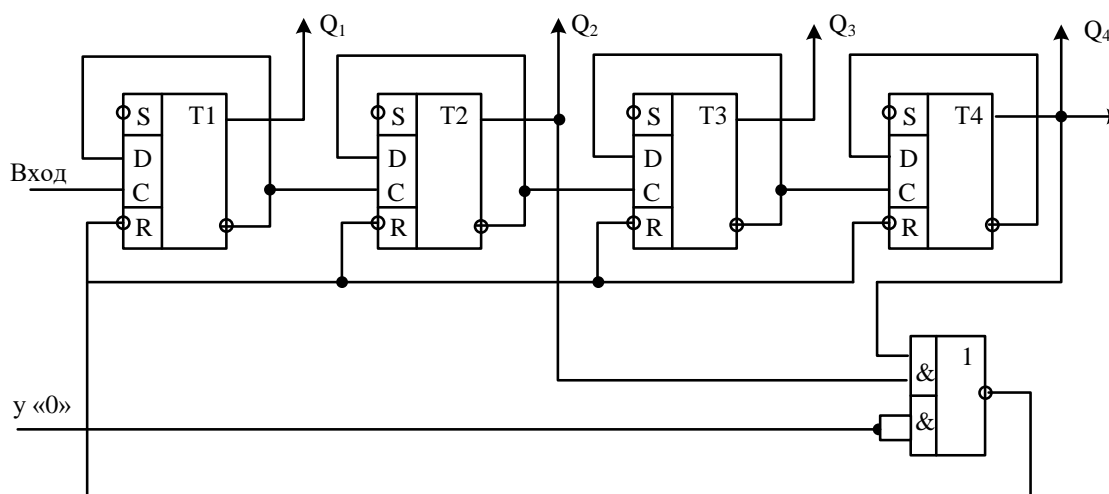


Рис. 3.4. Пересчетная схема на **D** – триггерах для $\kappa_{сч} = 10$ при естественном порядке изменения состояний счетчика

В практике проектирования пересчетных схем с $K_{сч} \neq 2$ часто применяется принцип организации счета на основе счетчиков с $K_{сч} = 2^n + 1$, т.е. на счетчиках, позволяющих увеличить модуль счета на единицу. Для построения такого счетчика требуемый модуль счета необходимо представить в виде произведения сомножителей (групп), каждый из которых состоит из чисел степени 2 и добавочных единиц. Например, $9 = (2 + 1)(2 + 1)$, $10 = (2^2 + 1) \cdot 2$, $11 = (2 \cdot (2^2 + 1) + 1)$, $12 = 4 \cdot (2 + 1)$, $13 = 2^2 \cdot (2 + 1) + 1$, $14 = 2[2(2 + 1) + 1]$, $15 = (2 + 1) \cdot (2^2 + 1)$.

Рассмотрим этот способ пересчета построения счетчиков на примере счетчика с $K_{сч} = 3$ (рис. 3.5). Исходное состояние счетчика нулевое $Q_1 = Q_2 = 0$. Первый триггер подготовлен к переключению в состояние «1», так как $J_1 = Q_2 = 1$, $K_1 = 1$ (таблица истинности **JK** – триггера). Второй триггер подготовлен к подтверждению состояния «0», так как $J_2 = \bar{Q}_1 = 1$, $k_2 = 1$ и $J_2 = Q_1 = 1$, т.е. к работе в режиме счетного триггера.

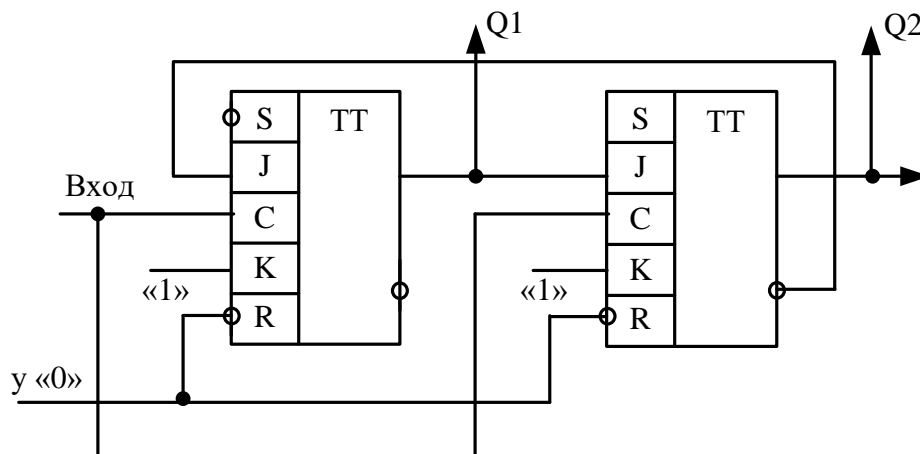


Рис. 3.5. Пересчетная схема на **JK** – триггерах для $K_{сч} = 3$

После окончания первого счетного импульса в счетчике устанавливается код 10 ($Q_1 = 0$, $Q_2 = 1$). Перед приходом третьего счетного импульса на входе **J** обоих триггеров присутствует «0», а на входах **K** – «1». В результате оба триггера после окончания третьего импульса установятся в состояние «0».

Отрицательный перепад напряжения на прямом входе второго триггера служит выходным сигналом счетчика. Он появляется после подачи каждого трех сигналов на вход счетчика.

2. Порядок выполнения работы

Работа выполняется на лабораторном стенде УМ-11, описание которого приведено в лабораторной работе №1.

1. Изучение схем счетчиков на **D** – триггерах.

1.1. По указанию преподавателя собрать одну из схем счетчиков на **D** – триггерах, соединяя триггеры с помощью соединительных шнуров в соответствии с заданной схемой.

1.2. Шину установки «0» подключить к одному из тумблеров тумблерного регистра для снятия потенциала, необходимо при установке счетчика в «0».

1.3. Прямые выходы триггеров подключить к индикаторным лампочкам.

1.4. Для проверки работы счетчика в статическом режиме ко входу счетчика подключить ГОИ, на вход синхронизации (СИНХР) которого подать СИ1 положительной полярности.

1.5. Нажимая на ГОИ кнопку ПУСК, проверить работоспособность счетчика по тактам, фиксируя состояние триггеров счетчика по индикаторным лампочкам и занося их в табл. 3.1.

Таблица 3.1

№	Q ₄	Q ₃	Q ₂	Q ₁	№	Q ₄	Q ₃	Q ₂	Q ₁
1					9				
2					10				
3					11				
4					12				
5					13				
6					14				
7					15				
8					16				

1.6. Проверить действие шины обнуления счетчика, заполнив счетчик произвольным числом сигналов. Затем подключить обнуляющий потенциал.

1.7. Для проверки работы счетчика в динамическом режиме подать на вход счетчика СИ1, отключив его предварительно от ГОИ.

1.8. Синхронизацию осциллографа произвести сигналом с прямого выхода триггера старшего разряда счетчика.

1.9. Подключая на вход осциллографа поочередно прямые выходы триггеров счетчика, начиная с младшего разряда, убедиться, что каждый последующий разряд делит частоту, поступающую на вход сигналов вдвое.

1.10. Зарисовать временные диаграммы работы разрядов счетчика, наблюдаемые на экране осциллографа.

2. Изучение схем счетчиков на **JK** – триггерах.

2.1. По указанию преподавателя собрать одну из схем счетчика на **JK** – триггерах.

2.2. Шину «Установка 0» подключить к одному из тумблеров тумблерного регистра для снятия потенциала, необходимого при установке счетчика в нулевое состояние.

2.3. Прямые выходы триггеров подключить к индикаторным лампочкам.

2.4. Для проверки работы счетчика в статическом режиме ко входу счетчика подключить ГОИ, на вход СИНХР которого подать СИ2 отрицательной полярности.

2.5. Нажимая на ГОИ кнопку ПУСК, проверить работоспособность счетчика по тактам, фиксируя состояние триггеров счетчика по индикаторным лампочкам и занося их в табл. 3.2.

Таблица 3.2

№	Q ₄	Q ₃	Q ₂	Q ₁	№	Q ₄	Q ₃	Q ₂	Q ₁
1					9				
2					10				
3					11				
4					12				
5					13				
6					14				
7					15				
8					16				

2.6. Проверить работу шины «Уст.0», заполнив счетчик произвольным числом сигналов. Затем подключить обнуляющий потенциал.

2.7. Отключить ГОИ.

2.8. Для проверки работы счетчика в динамическом режиме подключить на вход счетчика СИ2 отрицательной полярности.

2.9. С прямого выхода триггера старшего разряда подать сигнал на синхронизирующий вход осциллографа.

2.10. Подключая на вход осциллографа поочередно прямые выходы триггеров счетчика, зарисовать временные диаграммы работы всех разрядов счетчика, наблюдаемые на экране осциллографа.

3. Содержание отчета

1. Схемы счетчиков на **D** – и **JK** – триггерах.
2. Необходимые пояснения и расчеты по принципиальным схемам.

3. Заполненные таблицы состояний триггеров счетчика.
4. Временные диаграммы, поясняющие работу счетчика.

4. Контрольные вопросы

1. Какую операцию выполняют счетчики в вычислительных устройствах?
2. По каким признакам классифицируют счетчики?
3. Что называется коэффициентом пересчета счетчика?
4. Чем определяется максимальная частота поступления входных сигналов на счетчик?
5. Чем определяется время установки счетчика?
6. Как построить суммирующий счетчик на **D** – триггерах?
7. Как построить вычитающий счетчик на **D** – триггерах?
8. Как построить двоичный суммирующий счетчик на **JK** – триггерах?
9. Как построить двоичный вычитающий счетчик на **JK** – триггерах?
10. Чем различаются синхронный и асинхронный счетчики?
11. В чем заключается общий принцип построения пересчетных схем?
12. Что такое реверсивный счетчик?

Учебное издание

ЦИФРОВЫЕ УСТРОЙСТВА МИКРОПРОЦЕССОРНЫХ СИСТЕМ

Методические указания

Составители: Алексей Александрович Руппель

Редактор _____

Подписано к печати __ . __ . 20__
Формат 60Ч90 1/16. Бумага писчая
Оперативный способ печати
Гарнитура Times New Roman
Усл. п. л. __
Тираж _____ экз. Заказ № _____

РИО ИПЦ СибАДИ 644080, г. Омск, ул. 2-я Поселковая, 1

Отпечатано в отделе оперативной полиграфии ИПЦ СибАДИ
644080, г. Омск, пр. Мира, 5