

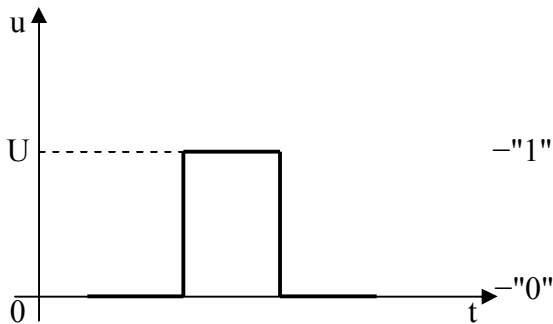
1.ЦИФРОВЫЕ ЭЛЕМЕНТЫ МИКРОПРОЦЕССОРНЫХ СИСТЕМ

1.1. Формы представления чисел.

В разные исторические периоды развития человечества для подсчётов и вычисления использовались те или иные системы счисления. Например, довольно широко была распространена двенадцатеричная система (дюжина, число месяцев в году). В древнем Вавилоне существовала шестнадцатеричная система (1 час=60мин., 1 мин.=60с.)

У некоторых африканских племён была распространена пятеричная система счисления, у ацтеков и народов майя – двадцатеричная система. Десятичная система измерения возникла в Индии и затем завезена была арабами в Европу.

В технике, в ЭВМ и микропроцессорах широко используется двоичная система счисления, которая очень удобна в реализации для цифровых схем. Например, любой цифровой сигнал может иметь либо быть какое-то определенное значение, либо быть равным нулю:



Представим число 342 в следующей форме

$$342 = 3 \cdot 10^2 + 4 \cdot 10^1 + 2 \cdot 10^0$$

Отсюда видно, что число 10 является основанием системы счисления, которая в данном случае называется десятичной, а величина числа определяется коэффициентами при основании.

Таким образом, в общем, виде числа можно представить в виде:

$$\dot{A} = \dot{a} \cdot \dot{\delta}^n + b \cdot x^{n-1} + \dots + p \cdot x^1 + q \cdot x^0$$

В двоичной системе счисления основанием является число 2. В этом случае для записи чисел используются две цифры: 0 и 1. Возьмем, например число 12 в десятичной системе счисления и разложим его по степеням числа.

2. Получим: $12 = 1 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 0 \cdot 2^0$

Число 12 в двоичной системе счисления запишется следующим образом: $1100_{(2)} = 12_{(10)}$

Перевод числа из десятичной системы счисления в двоичную производится методом последовательного деления числа на 2 до тех пор, пока частное от деления не станет равным 1. Число в двоичной системе счисления записывается в виде остатков от деления начиная с последнего частного справа налево:

$$\begin{array}{r}
 -42 \mid 2 \\
 \hline
 0 \quad 21 \mid 2 \\
 \hline
 1 \quad 20 \mid 10 \mid 2 \\
 \hline
 1 \quad 10 \mid 5 \mid 2 \\
 \hline
 0 \quad 4 \mid 2 \mid 2 \\
 \hline
 1 \quad 2 \mid 1 \\
 \hline
 0
 \end{array}$$

$$42_{(10)} = 101010;$$

$$42_{(10)} = 1 \cdot 2^5 + 0 \cdot 2^4 + 1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0$$

$$42_{(10)} = 1 \cdot 32 + 0 + 1 \cdot 8 + 2 + 0$$

Перевод десятичного дробного числа в двоичную систему осуществляется в два этапа: в начале переводится целая часть числа, затем дробная. Дробная часть переводится путём последовательного умножения дробной части на два. Двоичное число записывается в виде частей чисел, полученных при умножении только дробной части, начиная сверху после запятой. При этом задаётся точность выражений. Например, число $0,41_{(10)}$ в десятичной системе преобразуется в число $0,011_{(2)}$

$$\begin{array}{r}
 0, \quad 41 \\
 \times 2 \\
 \hline
 0 \quad 82 \\
 \times 2 \\
 \hline
 1 \quad 64 \\
 \times 2 \\
 \hline
 1 \quad 28
 \end{array}$$

В микропроцессорных устройствах широко распространены и другие системы счисления: восьмеричная, шестнадцатеричная, двоично-десятичная:

десятичная	двоичная	восьмеричная	шестнадцатеричная	двоично-десятичная
0	0	0	0	0000
1	1	1	1	0001
2	10	2	2	0010
3	11	3	3	0011
4	100	4	4	0100
5	101	5	5	0101
6	110	6	6	0110
7	111	7	7	0111
8	1000	10	8	1000
9	1001	11	9	1001
10	1010	12	A	0001 0000
11	1011	13	B	0001 0001
12	1100	14	C	0001 0010
13	1101	15	D	0001 0011
14	1110	16	E	0001 0100

15	1111	17	F	0001	0101
16	10000	20	10	0001	0110
17	10001	21	11	0001	0111
18	10010	22	12	0001	1000
19	10011	23	13	0001	1001
20	10100	24	14	0010	0000

Сложением чисел в двоичной системе счисления осуществляется поразрядно начиная с младшего:

$$\begin{array}{r}
 7 \\
 + 5 \\
 \hline
 12
 \end{array}
 \quad
 \begin{array}{r}
 111 \\
 + 0111 \\
 + 0101 \\
 \hline
 1100
 \end{array}
 \quad
 \text{- перенос}$$

Операция вычитания в МП осуществляется так же, как и сложение, но при этом отрицательные числа представляются в дополнительном или обратном коде.

Дополнительный код отрицательных двоичных чисел получается заменой двоичных кодов во всех разрядах на взаимно-обратные (0 на 1, 1 на 0). После этого к младшему разряду добавляется 1. В знаковом разряде отрицательного числа записывается 1.

Например: $[-14]_{\text{доп.}} = [-0,1110]_{\text{доп.}} = [1,0001+1] = 0,0010$

При записи чисел в обратном коде в знаковом разряде записывается 1, а в остальных разрядах цифры заменяются на взаимообратные:

Например: $[-14]_{\text{обр.}} = [-0,1110]_{\text{обр.}} = 1,0001$.

При выполнении операции вычитания производится поразрядное сложение слагаемых, начиная с младшего и кончая знаковым разрядом. Если используется дополнительный код, то возможная единица переноса из знакового разряда отбрасывается, при использовании обратного кода единица переноса знакового разряда суммируется с младшим разрядом полученной суммы. Результат вычислений получается в том коде, в каком были предоставлены слагаемые.

$$\begin{array}{r}
 -12 \\
 5 \\
 \hline
 7
 \end{array}
 \quad
 \begin{array}{r}
 X_{1\text{пр}} = 0,1100 \\
 X_{2\text{пр}} = 1,0101 \\
 \hline
 0,0111
 \end{array}
 \quad
 \begin{array}{r}
 X_{1\text{обр}} = 0,1100 \\
 X_{2\text{обр}} = 1,1010 \\
 \hline
 1\ 0,0110 \\
 \uparrow \\
 0,0111
 \end{array}
 \quad
 \begin{array}{r}
 X_{1\text{доп}} = 0,1100 \\
 X_{2\text{доп}} = 1,1011 \\
 \hline
 1\ 0,0111 \\
 \downarrow \\
 0,0111
 \end{array}$$

При сложении чисел, представленных в двоично-десятичном коде, суммирование осуществляется потетрадно, формируя двоичный код соответствующего двоичного разряда. Если сумма результата в тетраде превышает 9, к нему прибавляется двоичный код 0110₍₂₎ числа 6₍₁₀₎.

При этом в старшем разряде тетрады возникает единица переноса, соответствующая десятичному числу 16, которая равносильна вычитанию

16 из данной тетрады.

Таким образом, при результате, превышающем 9, в тетраде будет записано число, уменьшенное на $16-6=10$, что и требуется для формирования двоично-десятичного числа.

Например:

$$\begin{array}{r}
 9 \\
 +5 \\
 \hline
 14 \\
 -6 \\
 \hline
 16 \\
 \hline
 4
 \end{array}
 \qquad
 \begin{array}{r}
 1001 \\
 \hline
 0101 \\
 +1110 \\
 \hline
 0110 \\
 \hline
 10100 \\
 \swarrow
 \end{array}$$

Операции сложения и вычитания являются основными операциями в МП. Это объясняется тем, что они легко выполняются и любые более сложные операции (умножение, деление, вычисление тригонометрических функций и т.д.) могут быть сведены многократным сложениям и вычитаниям.

1.2. Комбинационные логические схемы.

Все устройства в МП состоят из элементарных логических схем. Работа этих схем основана на законах и правилах алгебры логики, которая оперирует двумя понятиями: истинности и ложности высказывания. В соответствии с такой двоичной природой высказываний условилось называть их логическими двоичными переменными и обозначать 1 в случае истинности и 0 в случае ложности. Преобразование связей между логическими переменными осуществляется в соответствии с правилами алгебры логики, называемой алгеброй Буля или Булевой алгеброй (в честь её автора - английского математика Буля Джоржа).

Две логические переменные A и B , принимающие значение 0 или 1, могут образовывать логические функции. Всего существует 16 возможных функций.

1) Логическое отрицание **НЕ** переменной A есть логическая функция X , которая истина только тогда, когда ложно A и наоборот.

В алгебре логики любые функции удобно изображать в виде таблицы соответствия всех возможных комбинаций входных логических переменных и выходной логической функции, называемой таблицей истинности. Для функции логического отрицания **НЕ** таблица истинности имеет вид:

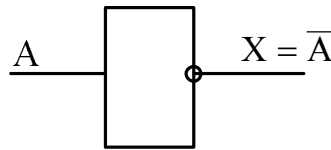
A	0	1
X	1	0

где A - входная переменная, X - выходная функция.

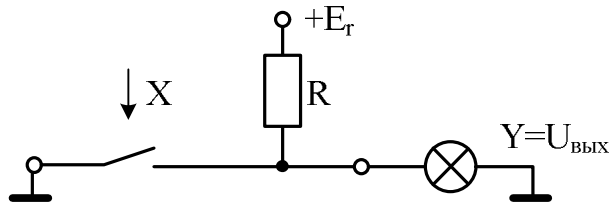
Функция НЕ в символах алгебры логики записывают следующим образом:

$$X = \bar{A}$$

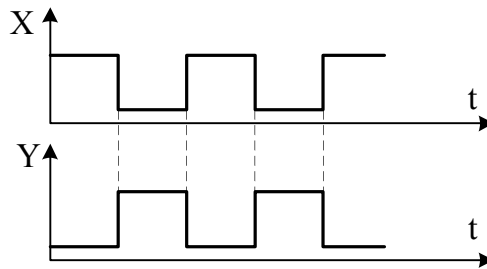
Графически эта функция обозначается кружком на входе или выходе логического символа:



Практически эта функция реализуется переключателем, у которого замкнутое состояние соответствует «1», а разомкнутое - «0».



Временная диаграмма функции НЕ имеет вид:



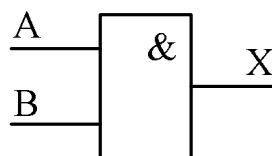
2) Логическое умножение **И** или конъюнкция двух переменных **A** и **B** есть логическая функция **X**, которая истинна только тогда, когда одновременно истинны входные переменные.

Для функции логического умножения таблица истинности имеет вид:

A	0	0	1	1
B	0	1	0	1
X	0	0	0	1

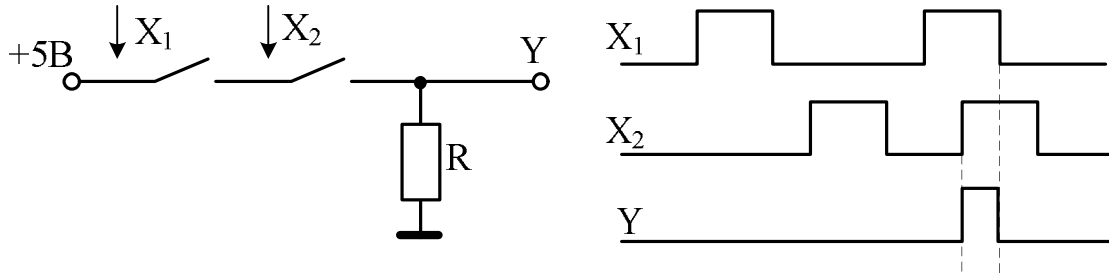
и записывается как $X = A \cdot B$ $X = A \wedge B$

Графически функция **И** обозначается в виде прямоугольника



Практический размер реализации функции **И** и её временные диаграммы имеет вид:

A	0	0	1	1
B	0	1	0	0
X	1	1	1	0

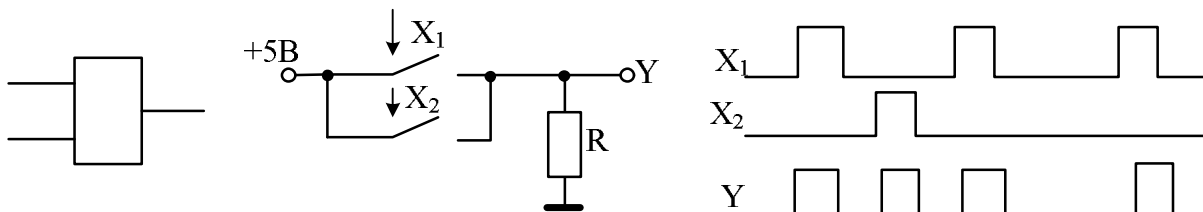


3) Логическая сумма **ИЛИ** или дизъюнкция переменных **A** и **B** есть логическая функция **X**, которая истинна, когда хотя бы одна из входных функций истинна. Для логической суммы таблица истинности имеет вид:

A	0	0	1	1
B	0	1	0	1
X	0	1	1	1

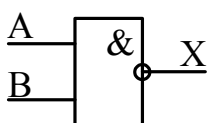
и записывается так: $X = A + B = A \vee B$

Пример функции логической суммы двух переменных и диаграммы входных и выходных сигналов представлены на рис:



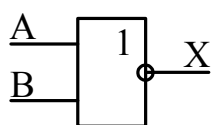
Широкое распространение получили в реализации современных логических схем функции **ИЛИ-НЕ**, **И-НЕ**, исключающее **ИЛИ**. Таблицы истинности этих схем имеют вид:

4) Функция И-НЕ (Отрицание конъюнкции или стрелка Пирса)



$$X = \overline{A \cdot B}$$

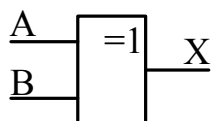
5) Функция ИЛИ-НЕ (Отрицание дизъюнкции или Штрих Шеффер)



A	0	0	1	1
B	0	1	0	1
X	1	0	0	0

$$X = \overline{A \vee B}$$

6) Функция исключающая ИЛИ (Неравнозначность или сложении по модулю 2)



A	0	0	1	1
B	0	1	0	1
X	0	1	1	0

$$X = A \oplus B$$

Кроме перечисленных функций в алгебре логики имеются следующие теоремы:

1. $x \vee 0 = x$
2. $x \vee 1 = 1$
3. $x \vee x \vee x \vee \dots \vee x = x$
4. $x \vee \bar{x} = 1$
5. $x \cdot 0 = 0$
6. $x \cdot 1 = x$
7. $x \cdot x \cdot x \cdot \dots \cdot x = x$
8. $x \cdot \bar{x} = 0$
9. $\bar{\bar{x}} = x$
10. а) $x \vee y = y \vee x$ Переместительный
 б) $x \cdot y = y \cdot x$ закон
11. а) $x \vee y \vee z = x \vee (y \vee z) = (x \vee y) \vee z$ Сочетательный
 б) $xyz = x(yz) = (xy)z$ закон
12. $x(y \vee z) = xy \vee xz$ Распределительный закон
13. $\overline{x \vee y} = \bar{x} \cdot \bar{y}$; $\overline{x \vee y \vee z} = \bar{x} \cdot \bar{y} \cdot \bar{z}$
 $\overline{xy} = \bar{x} \vee \bar{y}$; $\overline{xyz} = \bar{x} \vee \bar{y} \vee \bar{z}$

Теоремы де-Моргана

Технический аналог булевой функции – комбинационная схема, выполняющая соответствующее этой функции преобразование информации.

1.3. Схемотехника цифровых логических элементов.

В микропроцессорной схемотехнике установлены следующие основные понятия и термины.

Интегральная микросхема (ИМС). Называется микроэлектронное изделие, выполняющее определенную функцию преобразования и имеющая большую плотность упаковки электрически соединенных элементов.

Корпус ИМС – часть конструкции ИМС, предназначенное для защиты ИМС от внешних воздействий и для соединения с внешними цепями посредством выводов. В одном корпусе ИМС может находиться несколько ЛЭ, поэтому иногда принято характеризовать сложность той или иной схемы числом корпусов.

Степень интеграции ИМС – показатель степени сложности ИМС, характеризуемый числом содержащихся в ней элементов и компонентов. Существуют ИМС малой (МИС), средней (СИС) и большой (БИС) степени интеграции.

Серия ИМС – совокупность типов ИМС, которые могут выполнять различные функции, имеет единое конструктивно-технологическое исполнение и предназначены для совместного применения.

Используемые в МП устройствах ИМС характеризуется большим количеством показателей, которые определяют их функциональные возможности, быстродействие, экономичность, надежность, условия эксплуатации, стоимость и параметры входных и выходных сигналов.

По схемно-технологической реализации ИМС делят на следующие виды:

ЭСЛ–эмиттерно-связанные транзисторные схемы;

ТТЛ – транзисторно-транзисторные схемы;

И²Л – интегральные инжекционные схемы;

ТТЛЦ – ТТЛ с диодами Шоттки;

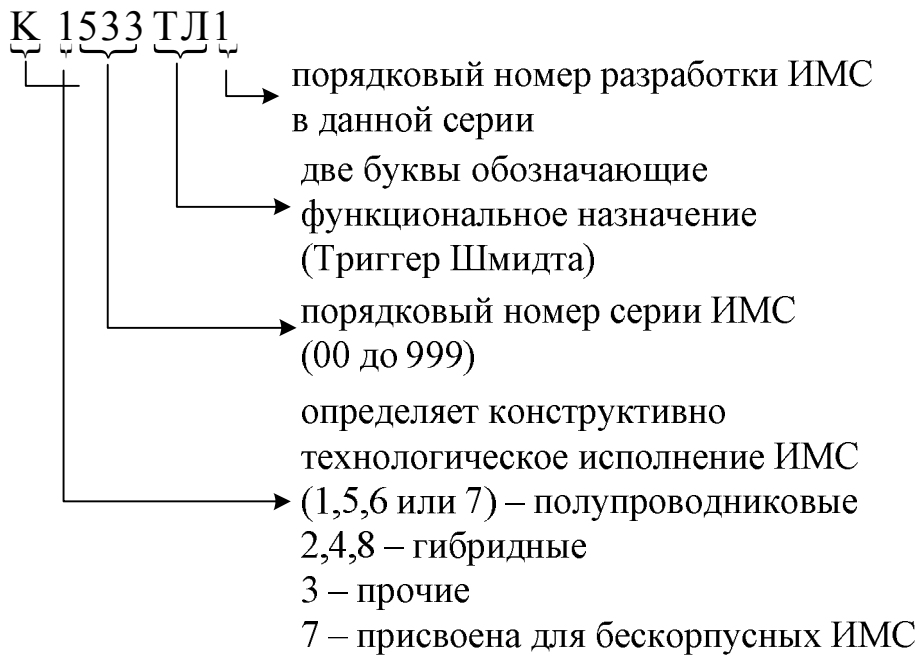
pМОП и nМОП схемы на p- и n- канальных транзисторах со структурой металл-окисел-полупроводник;

КМОП – схемы на дополняющих (комплементарных) МОП транзисторах.

По выполняемым функциям ИМС делят на комбинационные, запоминающие и содержащие как комбинационные, так и запоминающие схемы.

Потребляемая мощность и быстродействие ИМС зависят от режима работы (статический 0 и 1 на выходе, переключение из 1 в 0 или из 0 в 1), параметров нагрузки и других факторов. В большинстве случаев под потребляемой мощностью понимается ее среднее значение. Аналогично для оценки скоростных свойств ИМС используют среднее время задержки распространения сигнала при включении и выключении ИМС.

Обозначаются ИМС следующим образом:

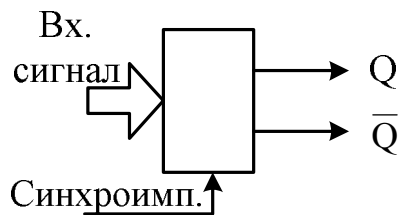


На сегодняшний день широкое распространение получили следующие серии ИМС:

- 155, 176, 530, 531, 555 – ИМС с МИС и СИС
- 580, 581, 588, 1801, 1810
- 1802, 1804, 1816 – ИМС с БИС и МП наборы.

1.4. Триггеры

Триггером (типичная схема цифрового автомата) называется устройство с двумя устойчивыми состояниями, содержащий элемент памяти (собственно Триггер) и схему управления, выполненную, как правило с помощью комбинации схем.



Классификация триггеров

1. Различают четыре триггерные схемы типа D, T, SR и JK
2. По уровню входного сигнала триггеры разделяют на триггеры с прямыми входами (запись информации осуществляется уровнем «1») и с инверсными входами (запись производится уровнем «0»), в последнем

случае вход отличается знаком инверсии.

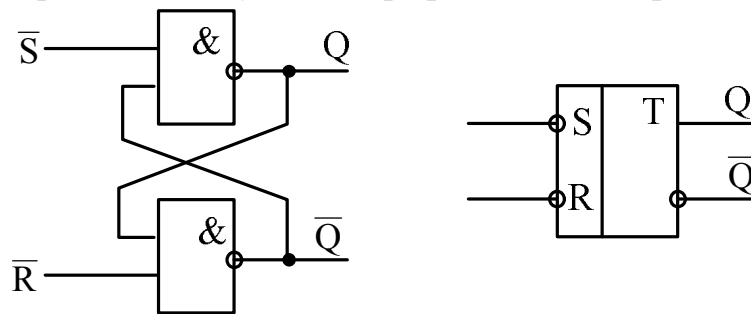
3. Кроме того, триггеры бывают одноктактные и двухтактные. В одноктактных триггерах запись производится по переднему фронту сигнала записи, а в двухтактных – по заднему фронту, т.е. в момент окончания сигнала.

4. Все триггеры, в свою очередь делятся на синхронные и асинхронные. В синхронных триггерах информация записывается только при наличии синхросигнала, а в асинхронных – в любой момент времени.

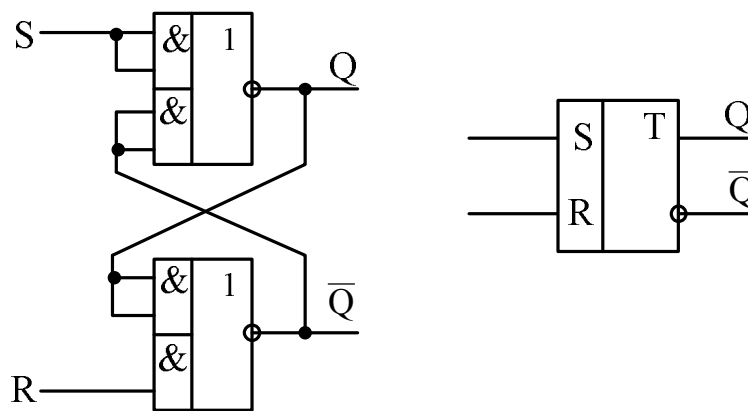
Рассмотрим более подробно работу каждой триггерной схемы:

RS-триггер

RS-триггер имеет следующие графические изображения:



Асинхронный RS – триггер с инверсными входами



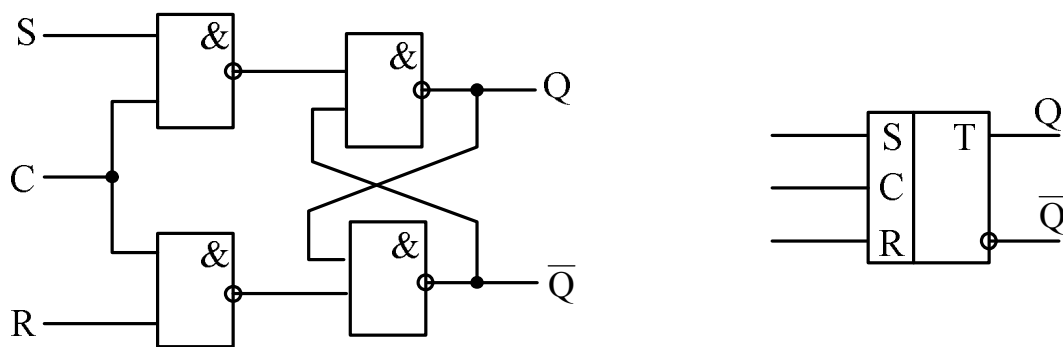
Асинхронный RS – триггер с прямыми входами

Таблица истинности для RS - триггера

Текущие значения	Входы			
	S=0 R=0	S=0 R=1	S=1 R=0	S=1 R=1
Q=0	0	0	1	x
Q=1	1	0	1	x

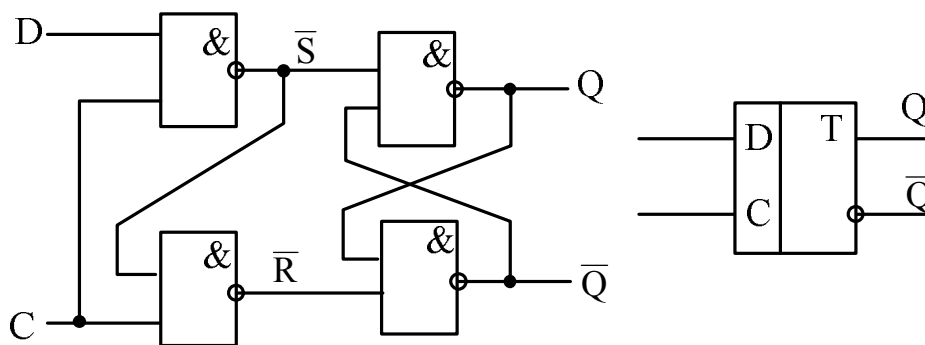
Таким образом RS - триггером называется логическое устройство с двумя устойчивыми состояниями и двумя информационными входами R и S. При подаче сигнала записи по входу S в триггер записывается «1» т.е. $Q = 1, \bar{Q} = 0$. При подаче сигнала записи по входу R в триггер записывается «0», т.е. $Q = 0, \bar{Q} = 1$. Одновременная подача сигналов в записи на входы – запрещенная комбинация, т.к. после окончания их действия триггер устанавливается в неопределенное состояние.

В отличие от асинхронного синхронный триггер на каждом информационном входе имеет дополнительные схемы совпадения, первые входы которых объединены и на них подаются синхронизирующие сигналы. Вторые входы схем сравнения являются информационными.

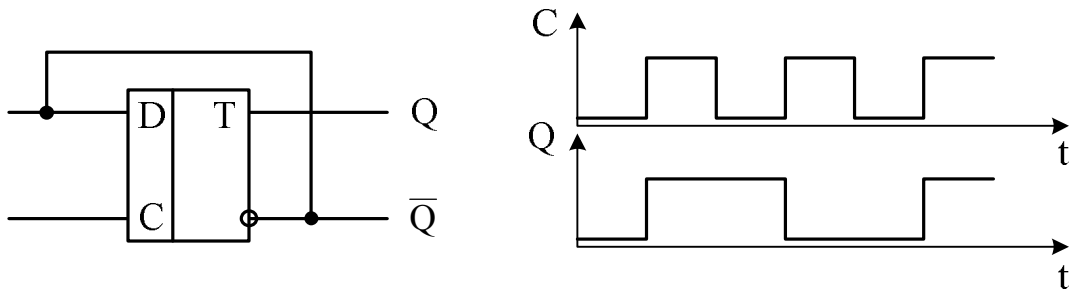


Наличие схем совпадения приводит к тому, что триггер будет срабатывать от сигналов R и S только при наличии синхросигнала, т.е. когда $C = \langle 1 \rangle$, при $C = \langle 0 \rangle$ входы R и S закрыты и состояние триггера не изменяется.

D – триггер имеет только один входной сигнал и его состояние определяется этим сигналом, т.е. триггер приводится в состояние сброса, когда входной сигнал имеет высокий уровень.



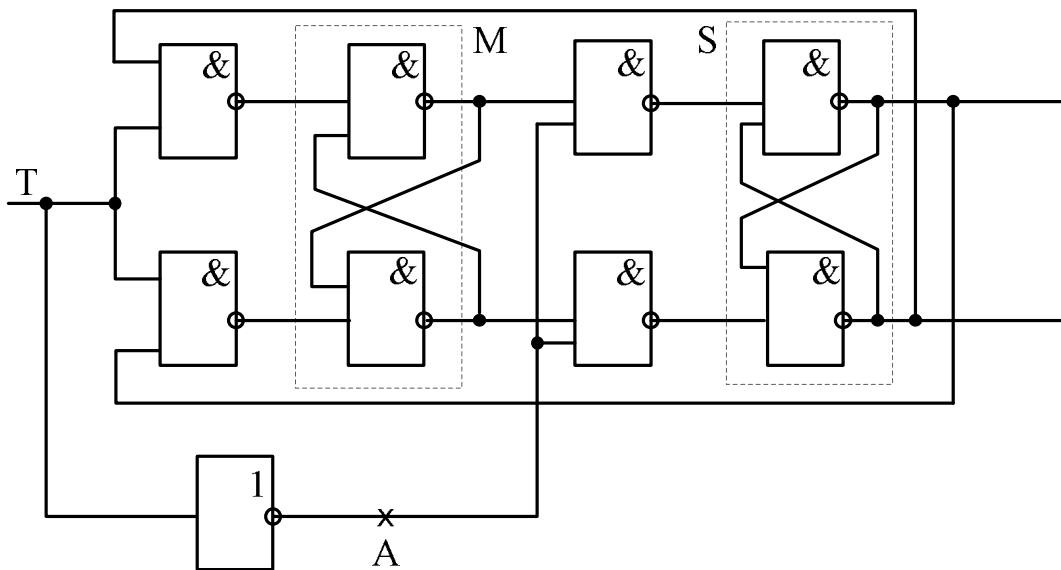
В литературе такой триггер называется триггером задержки. Интересно применение такого триггера в качестве делителя частоты. Схема и диаграмма работы имеют следующий вид:



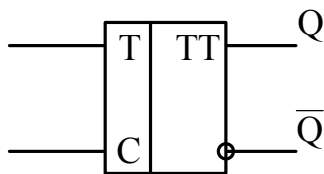
Текущее состояние	Входы	
	D=0	D=1
Q=0	0	1
Q=1	0	1

Триггером Т-типа (счётный триггер) называется логическое устройство (с двумя устойчивыми состояниями и одним входом Т), изменяющее своё состояние на противоположное всякий раз когда на вход Т поступает управляющий сигнал.

Схема и условное графическое изображение имеют вид:



а) Схема



б) Условное изображение

Текущее состояние	Входы	
	T=0	T=1
Q=0	0	1
Q=1	1	0

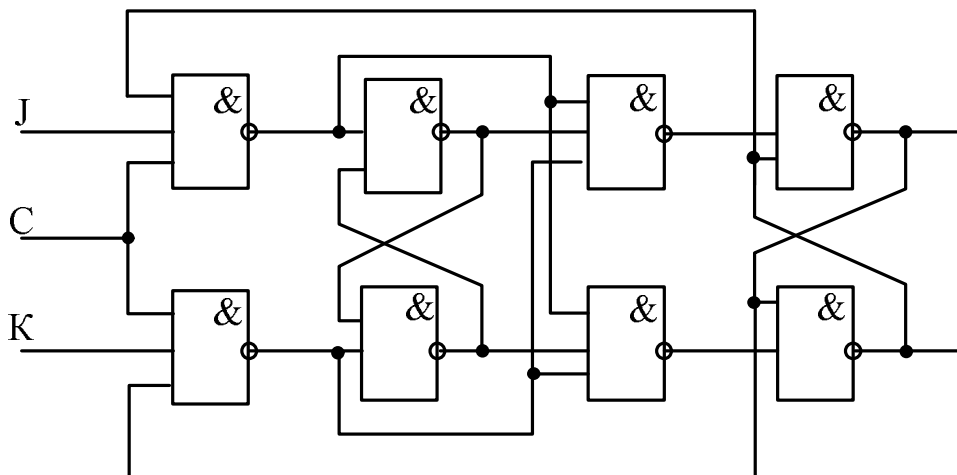
в) Таблица состояний

Основной триггер М принимает информацию, а вспомогательный S, фиксирует состояние триггера со счетным входом. Инвертор на схеме обеспечивает одноктактный режим работы триггера М и осуществляет блокировку записи информации во вспомогательный триггер S одновременно с записью информации в основной триггер М.

Если исключить инвертор и в точку А подать другую серию тактовых импульсов, сдвинутую относительно серии, действующей на входе Т, то получим двухтактный ТТ-триггер. При действии сигнала на вход Т информация записывается в основной триггер М, а затем при действии сигнала на вход А информация переписывается во вспомогательный триггер S.

JK-триггер аналогичен RS триггеру, за исключением того, что когда на оба входа подаются сигналы высокого уровня, триггер изменяет своё состояние независимо от своего текущего состояния, т.е. JK-триггер в отличие от RS-триггера не имеет запрещенных состояний.

Схема синхронного JK-триггера.



Условные обозначение.

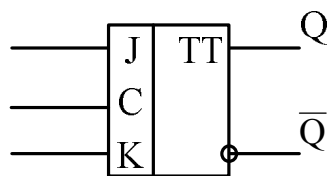
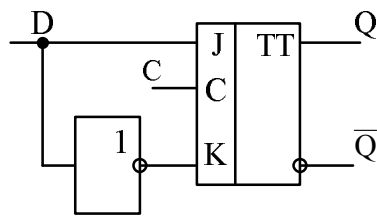


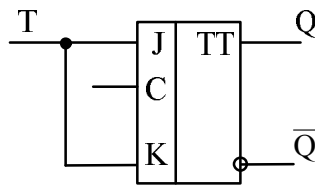
Таблица состояний.

Текущее состояние	Входы			
	J=0 K=0	J=0 K=1	J=1 K=0	J=1 K=1
Q=0	0	0	1	1
Q=1	1	0	1	0

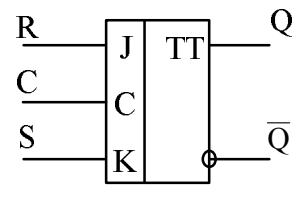
JK-триггер является универсальным логическим элементом, получившем очень широкое практическое применение. На базе этого триггера можно реализовать любой ранее рассмотренный триггер:



а) D-триггеры



б) ТТ-триггеры



в) RS-триггеры

1.5. Регистры

Регистром называется узел цифровых схем МП устройств, предназначенный для приёма, хранения и выдачи кодов слов, а так же выполняющий некоторые логические преобразования над кодом числа. Регистр представляет собой совокупность триггеров и вспомогательных логических элементов, количество и схема соединений которых зависит от числа разрядов в коде набора операций, выполняемых регистром.

Помимо хранения кода слов регистры обеспечивают выполнение следующих операций:

- 1) установку регистра в нулевое состояние (сброс);
- 2) передачу кода слова в другое устройство;
- 3) приём кода слова из другого устройства;
- 4) преобразование прямого кода в обратный и наоборот;
- 5) преобразование последовательного кода слова в параллельный и наоборот;
- 6) сдвиг кода слова вправо или влево на требуемое число разрядов.

Регистры, как правило строятся на D триггерах, так как последние позволяют записывать информацию однофазным кодом по входу D без предварительного обнуления.

Приём информации в регистр и её выдача могут осуществляться параллельно и последовательно. В первом случае слово представляется в виде параллельного кода, т.е. при записи и считывания все разряды кода слова представляются одновременно, каждый разряд по своей кодовой шине.

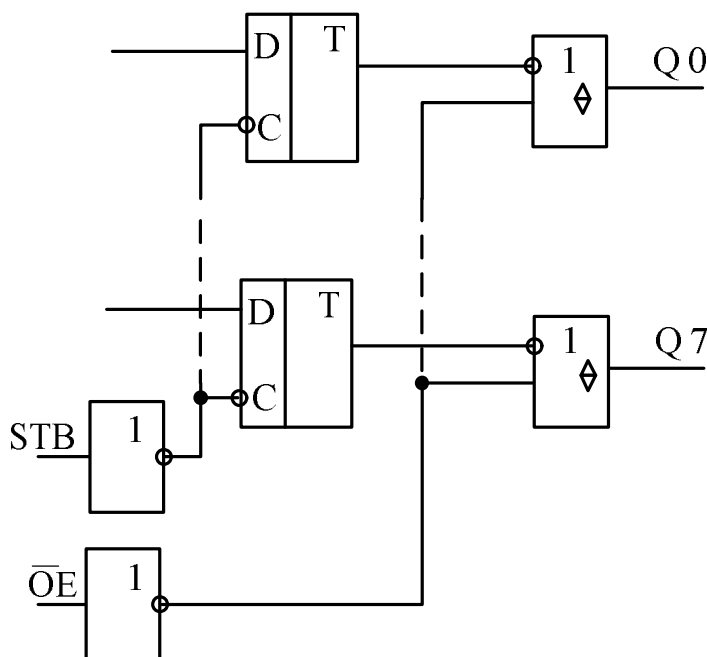
При последовательной передаче кода слова все его разряды передаются последовательно во времени один за другим и строго в определенные дискретные моменты времени, совпадающие с управляющими сигналами.

Классификация. В соответствии с выполняемыми функциями регистры различаются на сдвигающие регистры и регистры без сдвига с приёмом информации параллельным кодом.

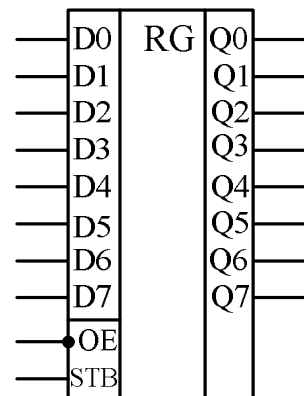
Регистр с приёмом информации параллельным кодом. Эти регистры предназначены для приёма, хранения и выдачи кода одного n-раздельного

слова. Т.к. приём и выдача информации осуществляется в параллельном коде, рассматриваемый n-разрядный регистр сложно представить как совокупность одноразрядных регистров, имеющих общие шины управления. Примером такого регистра служат ИМС серий 580 и 1810 - К580 и P82,83,К1810 и P82,83.

а) Структурная схема К580UP82.



б) Условное обозначение.



Микросхема имеет 8 триггеров D-типа и восемь выходных буферов имеющих на выходе состояние «Выключено». При поступлении сигнала высокого уровня осуществляется нетактируемая передача информации от входа D_i до выхода Q_i . Выходные буферы управляются сигналом **OE** «Разрешение выхода». При поступлении на вход **OE** сигнала высокого уровня выходные буферы переводят в состояние «Выключено».

Сдвигающие регистры. В регистрах этого типа, выполненных на D-триггерах, осуществляется сдвиг слова влево или вправо на заданное число разрядов – за один такт на один разряд. Применяют эти регистры в основном для преобразования параллельного кода в последовательный и наоборот, а так же в арифметических устройствах при операциях под специальными кодами.

Рассмотрим сдвигающий регистр, выполняющего операцию преобразования последовательного кода в параллельный.

Входное слово для данного примера $X_1X_2X_3=X=101$ в последовательном коде поступает на вход D-триггера T1 старшим разрядом вперёд.

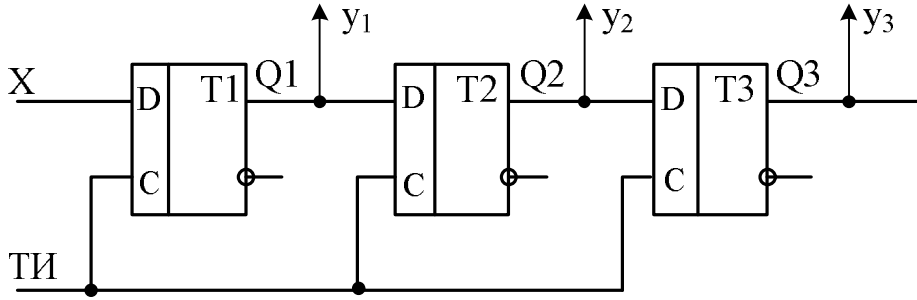
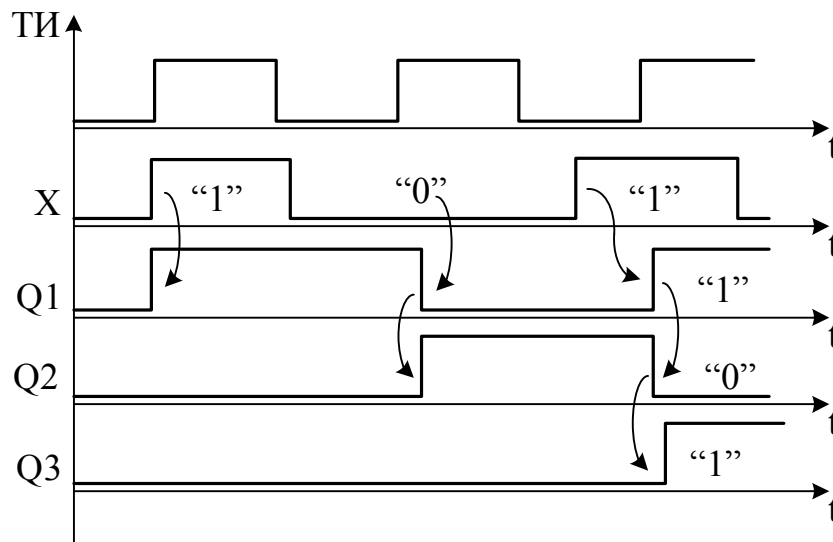


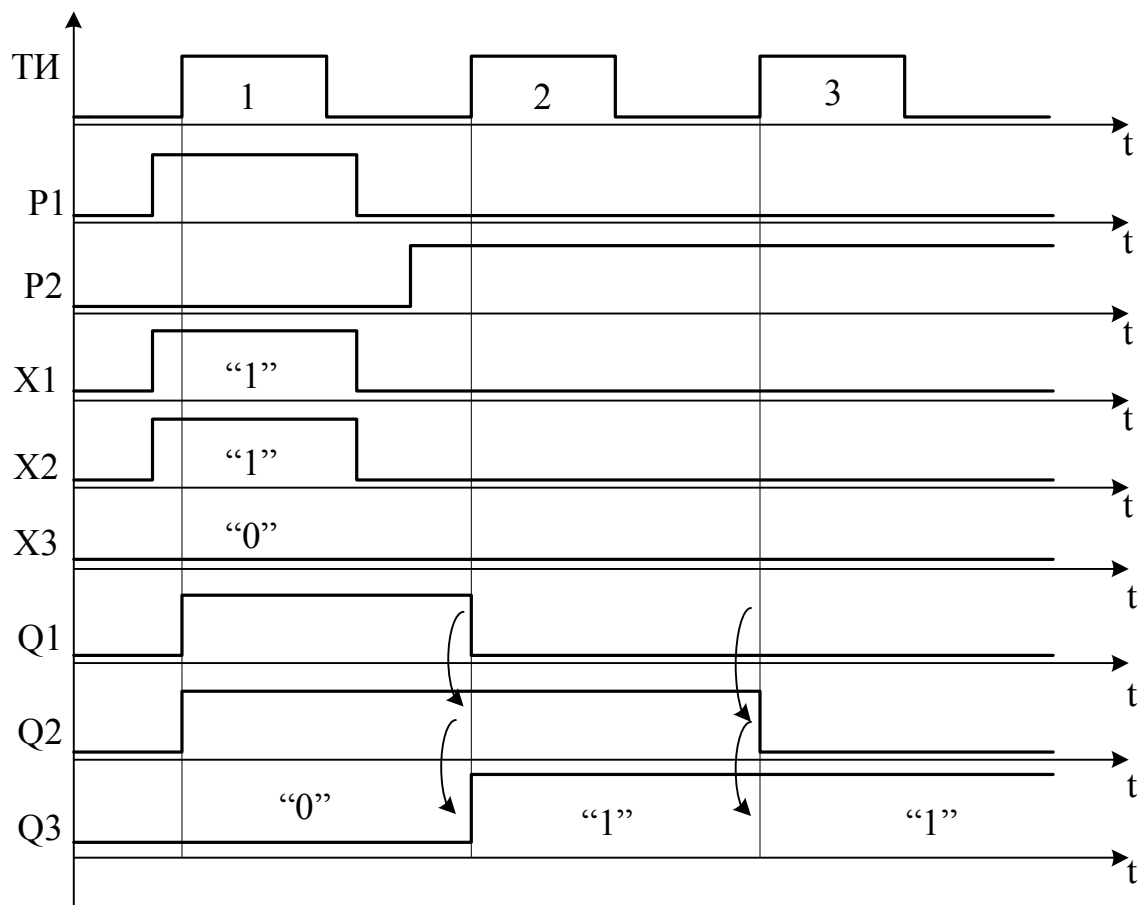
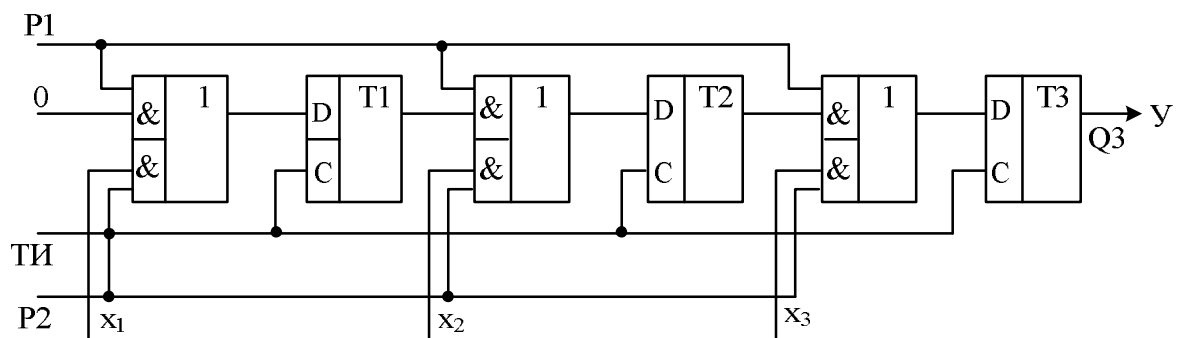
Схема сдвигающего регистра.



Временная диаграмма

При поступлении первого ТИ код X_3 переписывается в Т1, второй ТИ переписывает X_3 в Т2, а в Т1 записывает X_2 , третий ТИ код X_3 переписывается в Т3, код X_2 переписывается в Т2, а в Т1 записывают X_1 . Таким образом, после трёх тактирующих импульсов всё число окажется записанным в регистр и может быть считано в параллельном коде с выходом Q_1, Q_2, Q_3 .

Рассмотрим сдвигающий регистр для преобразования параллельного кода в последовательный. Входное слово (для данного примера) $X=X_1X_2X_3=011$ при $P_1 \wedge [ТИ]=1$ и $P_2=0$ записывается в Т1, Т2, Т3. Затем при $P_2 \wedge [ТИ]=1$ и $P_1=0$ происходит перезапись информации из Т1 в Т2, из Т2 в Т3 и т.д. из младшего разряда в старший по каждому тактирующему импульсу. Таким образом, на выходе последнего разряда Q_3 будут последовательно появляться $X_1X_2X_3$, т.е. входное слово X , представленное в параллельном коде, преобразуется в выходное слово $Y=y_3y_2y_1=011$, представленное в последовательном коде.



В представленных схемах количество регистров зависит от разрядности преобразуемого слова.

1.6. Счетчики

Наиболее распространенной, операцией в вычислительных устройствах цифровой обработки информации, является подсчет числа сигналов импульсного или потенциального вида. Узел вычислительных устройств, предназначенный для подсчета числа входных сигналов, называется счетчиком.

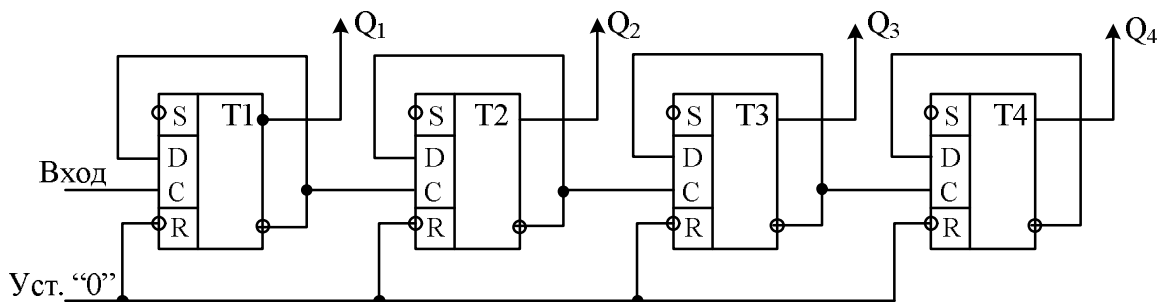
Счетчики классифицируются:

- 1) по системе счисления: двоичные и десятичные;
 - 2) по организации цепей переноса: счетчики с последовательным и параллельным переносом единицы;
 - 3) по реализуемой операции: счетчики с естественным и произвольным порядком счета;
 - 4) по порядку изменения состояний: прямые и реверсивные;
 - 5) по способу переключения триггеров: асинхронные и синхронные.
- Рассмотрим наиболее распространенные типы счетчиков.

Счетчики с естественным порядком счёта. Счетчики этого типа в основном строятся на универсальных JK и D-триггерах.

Простейшая схема счетчика последовательно соединенные D-триггеров со счетным входом. При этом инверсный выход \bar{Q} D-триггера соединяют со своим входом D.

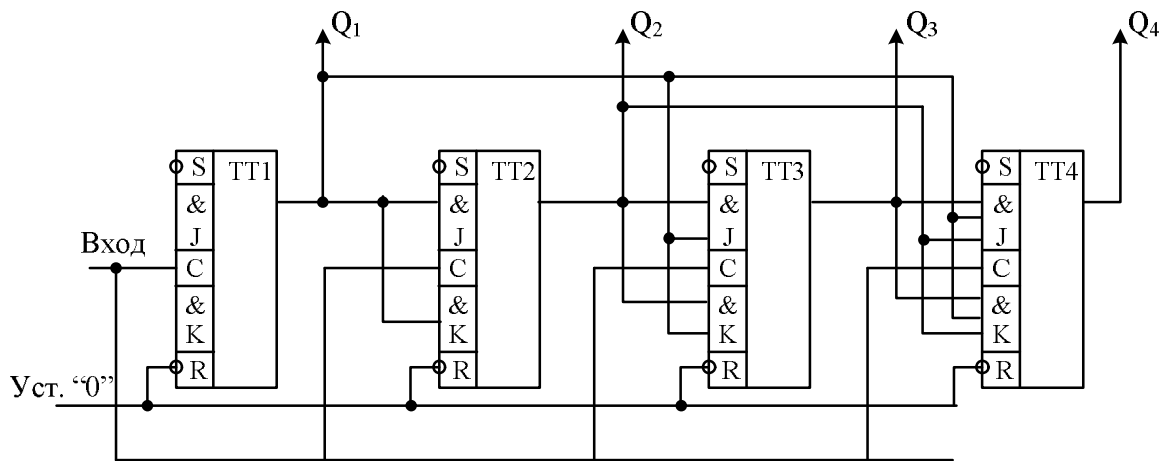
Суммирующий асинхронный счетчик на D-триггерах получается, если инверсный выход предыдущего триггера \bar{Q} соединить со входом C последующего триггера. При этом схема асинхронного четырехразрядного суммирующего счетчика на D-триггерах имеет следующий вид:



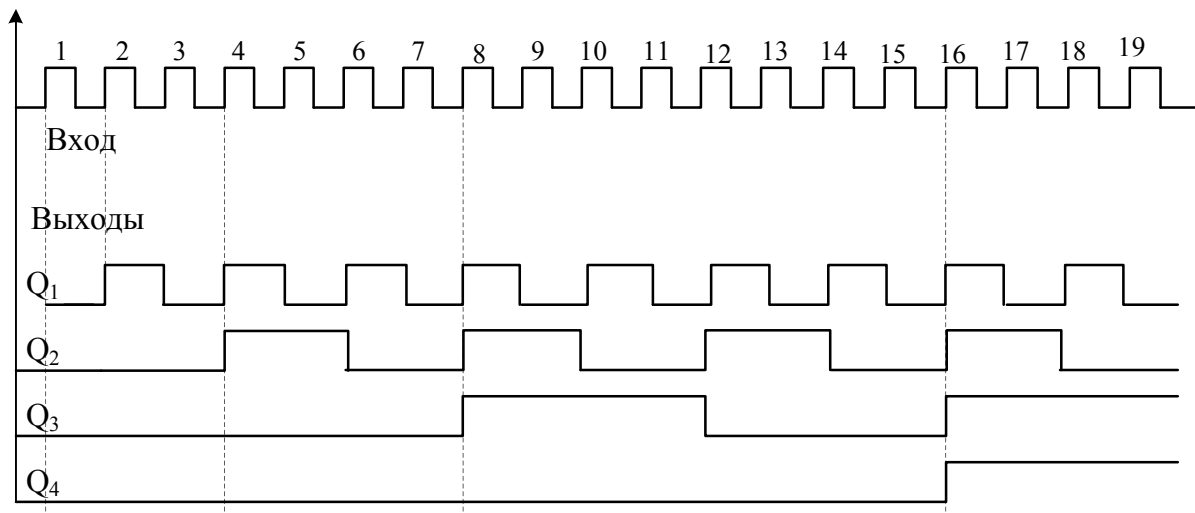
Для построения вычитающего счетчика на D-триггерах прямой выход предыдущего счетчика соединяют со входом C последующего триггера.

Рассмотренные счетчики обладают низким быстродействием и называются счетчиками с последовательным переносом единицы. Время установления таких счетчиков равно сумме времен установления всех триггеров. Увеличение быстродействия можно достигнуть путём уменьшения времени распространения переноса, используя счетчики с параллельным переносом единицы. При этом входной сигнал поступает одновременно на все входы триггеров.

Схема синхронного счетчика на JK – триггерах с параллельным переносом единицы имеет следующий вид:



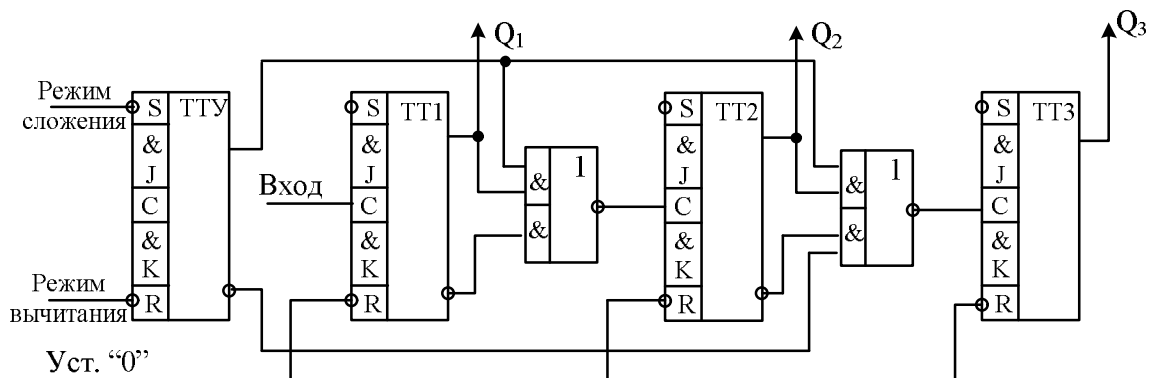
Работа счетчика осуществляется следующим образом. Каждый JK-триггер включен по схеме триггера D-типа, работающего в режиме делителя частоты на 2. На каждый второй импульс на выходе Q_1 появляется импульс; который подается на вход D последующего триггера и на выходы совпадения триггеров TT3 и TT4. На каждый четвертый импульс появляется импульс на выходе Q_2 , который подается на выходы сравнения TT3 и TT4. На каждый восьмой тактовый импульс появляется импульс на выходе TT3, который подается на схему сравнения TT4. При этом длительность импульсов триггеров равна соответственно 2,4,8 и 16 длительностям тактового импульса. Временная диаграмма такого счетчика выглядит следующим образом:



Большое распространение получили реверсивные счетчики, осуществляющие подсчет сигналов как в прямом, так и обратном направлении, т.е. они могут работать в режиме сложения или вычитания сигналов, поступающих на вход счетчика.

Для построения реверсивных счетчиков необходимо предусмотреть

схемы, пропускающие сигналы на вход следующих триггеров либо с прямого либо с инверсного выхода предыдущего триггера. Пример такого счетчика, построенного на JK – триггерах приведена ниже:



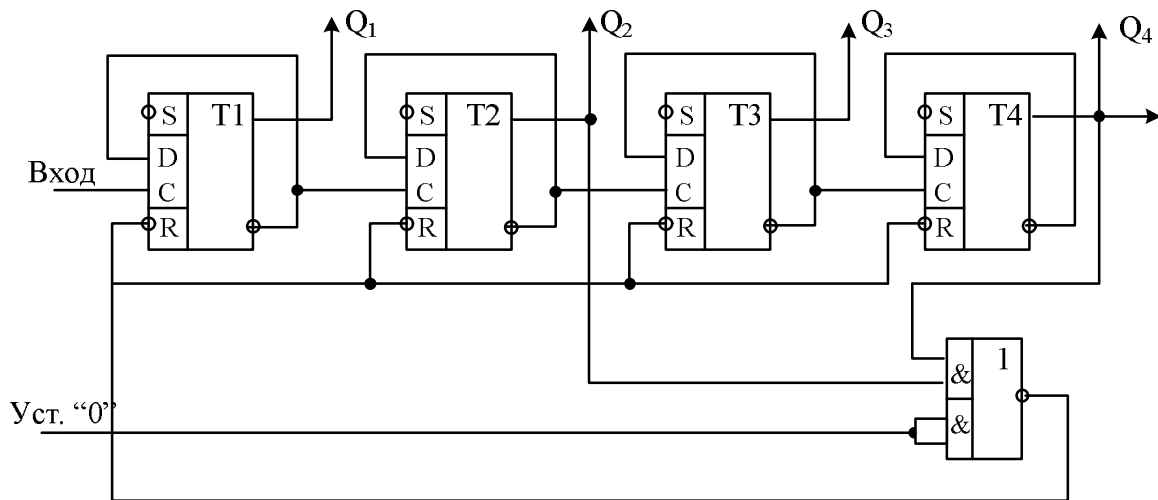
Триггер управления ТТУ формирует на выходах Q и \bar{Q} сигналы "0" или "1" и "1" или "0" в зависимости от установки триггера либо по вход

\bar{S} или по входу \bar{R} согласно таблице истинности для этого триггера. Эти сигналы управляют дополнительными элементами **И** – **ИЛИ** – **НЕ**, пропускающими сигналы от прямых или инверсных выходов и счетных триггеров ТТ1, ТТ2 и ТТ3.

Рассмотренные выше счетчики имели коэффициент пересчета, равный 2^n , где n -число разрядов счетчика. Однако на практике часто возникает необходимость в счетчиках, коэффициент пересчета которых отличен от 2^n . Такие счетчики являются с произвольным порядком счета.

Счетчики с произвольным порядком счета. На основе таких счетчиков можно построить пересчетные схемы с произвольным коэффициентом счета. Существует целый ряд схемных решений позволяющих построить счетчик с $K_{ст} \neq 2^n$. Наибольшее распространение получили счетчики с коэффициентом деления 10.

Рассмотрим схему десятичного счетчика на основе D – триггеров.



У такого счетчика уменьшение числа устойчивых состояний достигается за счет сбрасывания его в нулевое состояние при записи заданного числа сигналов. К счетчику добавляется логическое устройство, которое вырабатывает сигнал сброса счетчика в нулевое состояния при достижении состояния счетчика 1010, т.е. соответствующее числу 10.

Кроме такого способа построения счетчиков с коэффициентом $K_{сч} \neq 2^n$, существует способ построения счетчиков с произвольным коэффициентом счета на основе счетчиков с $K_{сч} = 2^n + 1$, с использованием в их основе JK-триггеров.

1.7. Дешифраторы

Дешифратором называется цифровое комбинационное устройство, предназначенное для преобразования входного двоичного кода в напряжение логического уровня, появляющееся в том выходном проводе, десятичный номер которого соответствует двоичному коду. Например, входной код 1001 должен сделать активным провод с номером 9. Во всех остальных проводах дешифратора сигналы должны быть нулевыми.

Различают дешифраторы с линейной и координатной выборкой.

Рассмотрим дешифраторы с линейной выборкой, как наиболее распространенные.

Логическое уравнение для выходных переменных дешифратора n -разрядного числа по определению операции дешифрирования записывается в виде минтермов «конституент единицы» входных переменных:

$$y_1 = X_n \cdot \bar{X}_{n-1} \cdot \dots \cdot \bar{X}_2 \cdot \bar{X}_1$$

$$y_2 = \bar{X}_n \cdot X_{n-1} \cdot \dots \cdot \bar{X}_2 \cdot \bar{X}_1$$

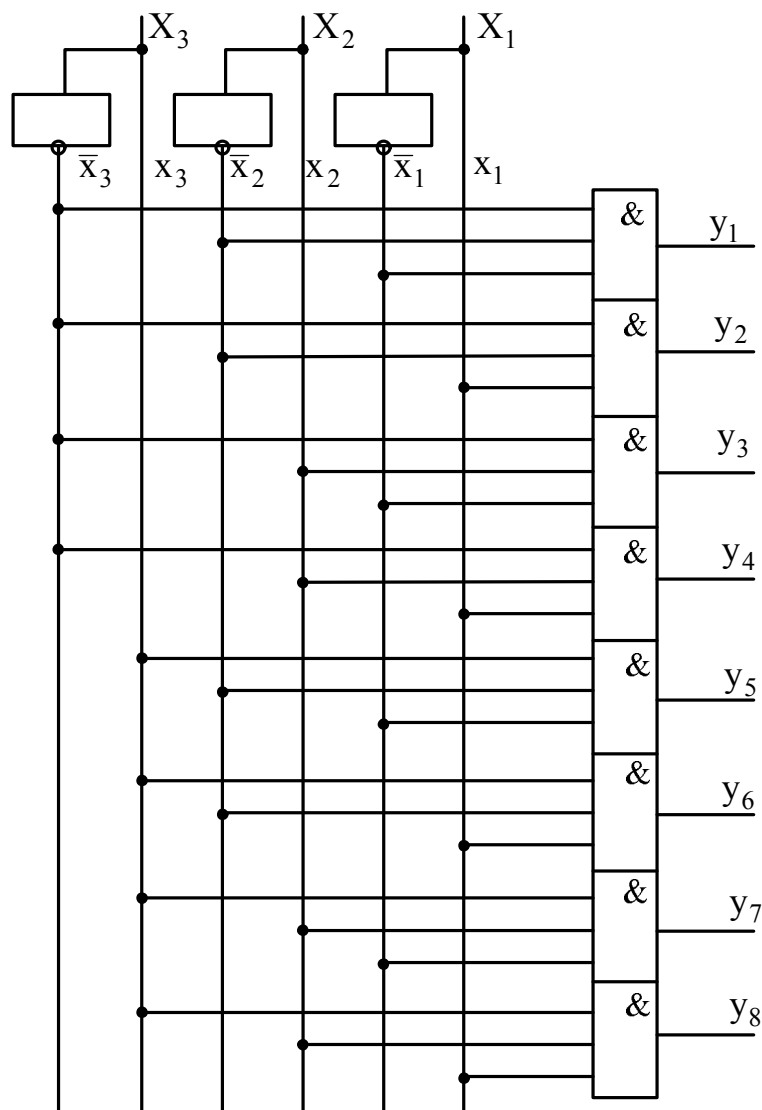
$$y_n = \bar{X}_n \cdot \bar{X}_{n-1} \cdot \dots \cdot \bar{X}_2 \cdot X_1$$

Для примера таблица истинности для трехразрядного дешифратора:

	x_3	x_2	x_1	y_1	y_2	y_3	y_4	y_5	y_6	y_7	y_8
$\bar{x}_1 \bar{x}_2 \bar{x}_3$	0	0	0	1							
$x_1 x_2 x_3$	0	0	1		1						
–	0	1	0			1					
–	0	1	1				1				
–	1	0	0					1			
–	1	0	1						1		
–	1	1	0							1	
$x_1 x_2 x_3$	1	1	1								1

Таким образом, на каждом выходе дешифратора появляется значение переменной, равное 1, лишь при одном наборе значений входных переменных.

Схема такого дешифратора строится на основе логических элементов **и** с n -входами, где n – число разрядов входного кода дешифратора. Например для рассмотренного трехразрядного дешифратора схема имеет следующий вид:



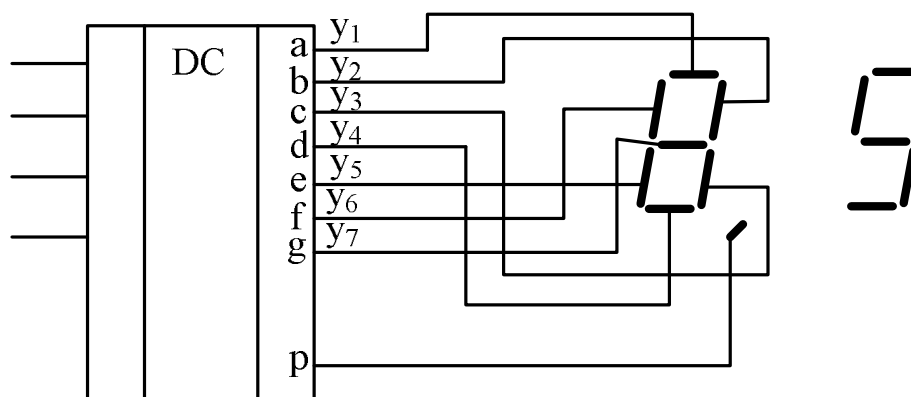
В данной схеме на соответствующую схему сравнения ***И*** подаются соответствующие сигналы либо с прямых либо с инверсных значений переменной X . Так например для y_4 сигналы подаются с линий \bar{X}_3, X_2, X_1 . Таким образом можно сформировать дешифраторы с разрядностью 4; при этом 16 выходных линий; 5- при этом будет 32 выходные линии и т. д.

Соответственно потребуются 4 и 5 входные логические элементы ***И***.

Однако в составе ИМС, выпускаемых отечественной промышленностью, обычно отсутствуют логические элементы с коэффициентом объединения по входу более восьми и этим значением ограничена разрядность входных чисел линейного дешифратора.

Часто дешифраторы применяют для управления устройствами отображения информации (световыми табло, индикаторами и т. п.). При этом используется входной двоично-десятичный код, который дешифрируется в набор значений высокого уровня на нескольких выходах дешифратора, соединенных с соответствующими сегментами

индицируемого числа.
Так например:



для того чтобы высветить на цифровом табло цифру 5 необходимо подать входной код 0101 и при этом на выходе получить комбинацию $Y_1Y_2Y_3Y_4Y_5Y_6Y_7 = 1011011$.

Кроме того дешифраторы широко применяются в системах управления для формирования управляющих сигналов несколькими механизмами; в цифровых запоминающих устройствах для формирования выборки соответствующей ячейки памяти и т. п.